

7

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078657
(43)Date of publication of application : 22.03.1996

(51)Int.Cl. H01L 27/15
G02B 6/122
G02B 6/42
H01S 3/18

(21)Application number : 06-187579 (71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>
(22)Date of filing : 09.08.1994 (72)Inventor : YAMADA YASUBUMI
MINO SHINJI
TERUI HIROSHI
YOSHINO KAORU
KATO KUNIHARU
MORIWAKI-KAZUYUKI
SUGITA AKIO
OGAWA IKUO
YANAGISAWA MASAHIRO
HASHIMOTO TOSHIKAZU

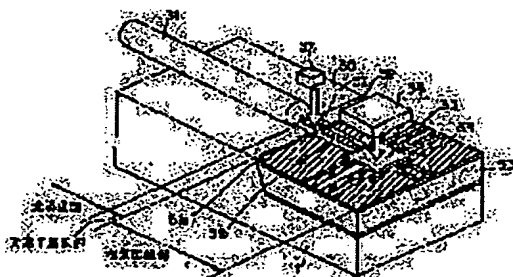
(30)Priority
Priority number : 05197325 Priority date : 09.08.1993 Priority country : JP
05306578 07.12.1993
06106492 20.05.1994 JP
06148222 29.06.1994 JP
JP
JP

(54) OPTO-ELECTRIC HYBRID MOUNTING BOARD, MANUFACTURING METHOD AND OPTO-ELECTRIC HYBRID INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide an optical integrated circuit with small loss in optical waveguide function, and advantages in optical bench function and high-frequency wiring function, by forming an optical element mounting part made up of a projected terrace on a circuit board and an electric wiring part made up of a dielectric layer and a conductive pattern put on a surface or an inner part of the dielectric layer.

CONSTITUTION: An upper projected face part of a silicon substrate 1 is used as a silicon terrace 30 for mounting an optical element. An optical fiber 31 as an optical waveguide is held adequately in an optimum position in a V-shaped groove of a silicon terrace part 30. An Au-Sn solder on a thermal oxide film on the face of the silicon terrace 30 is patterned to form a thin-film electrode 52 fixed in a state of contact with a surface electrode of an optical function element on the silicon terrace 30. The thin-film electrode 52 is connected electrically to surface-electrode conductive patterns 51a and 51b on a face of a dielectric layer 50 formed in a recessed part of an electric wiring part on the silicon substrate 1. In addition, the dielectric layer 50 is embedded around an electric circuit silicon terrace 35, and an electric circuit conductive pattern 51 is formed on the face of the silicon terrace 35.



[Date of request for examination]	26.11.1998
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3204355
[Date of registration]	29.06.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

<http://www10.indiana.edu/DA1/result/detail.html?docid=DA1000700750> 0000/10/10

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78657

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/15

H 8832-4M

G 0 2 B 6/122

6/42

H 0 1 S 3/18

G 0 2 B 6/12

B

審査請求 未請求 請求項の数36 O L (全 49 頁)

(21) 出願番号 特願平6-187579

(22) 出願日 平成6年(1994)8月9日

(31) 優先権主張番号 特願平5-197325

(32) 優先日 平5(1993)8月9日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平5-306578

(32) 優先日 平5(1993)12月7日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平6-106492

(32) 優先日 平6(1994)5月20日

(33) 優先権主張国 日本(J P)

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 山田 泰文

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 美野 真司

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 照井 博

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 谷 義一 (外1名)

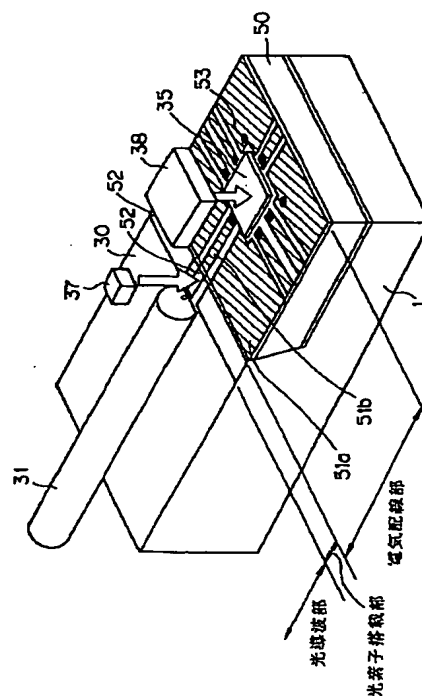
最終頁に続く

(54) 【発明の名称】 光／電子ハイブリッド実装基板およびその製法、並びに光サブモジュールおよび光／電子ハイブリッド集積回路

(57) 【要約】

【目的】 低損失光導波路機能、高精度光学ベンチ機能および高周波電気配線機能を満足するハイブリッド光集積回路、該回路に適用可能な光実装基板および光サブモジュールを提供することを目的とする。

【構成】 上記機能を合わせ持つハイブリッド光集積実装基板を実現するために、石英系光導波路の膜厚を最適条件とする。凹凸を有する基板の凹部に誘電体光導波路を形成し、凸部に光素子搭載部を形成し、誘電体光導波路上に電気配線層を形成する。凸部を2分割し、その間に誘電体光導波路を形成し、その上に電気配線層を形成する。光素子は光サブモジュールに固定して搭載する。



1

【特許請求の範囲】

【請求項1】 同一基板上に設けられた光導波部と光素子搭載部と電気配線部とを含む実装基板において、該光素子搭載部は基板上に凸状に設けたテラスで構成されており、

該電気配線部は基板上に形成した誘電体層とその表面または内部に形成した導体パタンとで構成されることを特徴とする光／電子ハイブリッド実装基板。

【請求項2】 請求項1の光／電子ハイブリッド実装基板において、上記テラスはSiからなるものであることを特徴とする光／電子ハイブリッド実装基板。

【請求項3】 請求項2の光／電子ハイブリッド実装基板において、上記基板は、上記光素子搭載のためのSiテラスの他に、電子回路形成のためのSiテラスを有することを特徴とするプラットフォーム。

【請求項4】 請求項2または3の光／電子ハイブリッド実装基板において、上記光素子搭載部および電気配線部の少なくともSiテラス近傍では、誘電体層上の導体パタン上面の高さはSiテラス上面より低くなるように設定されていることを特徴とする光／電子ハイブリッド実装基板。

【請求項5】 請求項4記載の光／電子ハイブリッド実装基板において、

上記Siテラスは傾斜角を有する側面を有しており、上記Siテラス表面および側面には薄膜電極が形成され、該薄膜電極は該Siテラス周囲の誘電体層上面または内部に形成した導体パタンと電気的接続がなされていることを特徴とする光／電子ハイブリッド実装基板。

【請求項6】 請求項4または5に記載の光／電子ハイブリッド実装基板において、

上記光素子用Siテラスは2つ以上に分割されており、分割された該Siテラスの間は上記誘電体層で埋められており、該光素子用Siテラスの間の誘電体層上に導体パタンが設けられたことを特徴とする光／電子ハイブリッド実装基板。

【請求項7】 請求項1～6のいずれかの項に記載の光／電子ハイブリッド実装基板において、

上記光導波部は、上記Siテラスに形成した位置決め溝と、該位置決め溝中に固定した光ファイバとを含むことを特徴とする光／電子ハイブリッド実装基板。

【請求項8】 請求項1～6のいずれかの項に記載の光／電子ハイブリッド実装基板において、上記光導波部は、基板上に形成したアンダークラッド層、コアおよびオーバークラッド層からなる光導波路であり、該光導波路のコア底面の高さは上記Siテラス上面より高くなるように設定したことを特徴とする光／電子ハイブリッド実装基板。

【請求項9】 請求項7または8に記載の光／電子ハイブリッド実装基板において、

上記光導波路は、1本以上の信号用光導波路と1本以上

2

のモニタ用光導波路とを含み、

上記光素子用Siテラスは、該モニタ用光導波路の入出力端に対応する位置に設けてあり、かつ、該光素子用Siテラス表面には薄膜電気配線が形成されていることを特徴とする光／電子ハイブリッド実装基板。

【請求項10】 請求項8記載の光／電子ハイブリッド実装基板において、

上記光導波路は誘電体光導波路であり、上記電気配線部の誘電体層は、該誘電体光導波路のアンダークラッド層で構成されたことを特徴とする光／電子ハイブリッド実装基板。

【請求項11】 請求項10記載の光／電子ハイブリッド実装基板において、

上記光導波路のアンダークラッド層で構成される第1の誘電体層上の一部に、光導波路とは異なる材料からなる第2の誘電体層が積層されており、該第2の誘電体層の内部または表面には導体パタンが形成されていることを特徴とする光／電子ハイブリッド実装基板。

【請求項12】 請求項10記載の光／電子ハイブリッド実装基板において、

上記基板はSi基板であり、上記光導波路および電気配線部誘電体層は、ともに石英系光導波路で形成されており、該電気配線部誘電体層上に形成する導体パタンは中心導体と接地導体とからなるコプレーナ配線であり、該誘電体層の厚さは50μm以上あることを特徴とする光／電子ハイブリッド実装基板。

【請求項13】 請求項10記載の光／電子ハイブリッド実装基板において、

上記Si基板は平均値50Ωcm以上の比抵抗を有しており、上記光導波路および誘電体層は、おもに石英系光導波路で形成されており、該電気配線部誘電体層上に設けた導体パタンは中心導体と接地導体とからなるコプレーナ配線であり、該誘電体層の厚さは20μm以上あることを特徴とする光／電子ハイブリッド実装基板。

【請求項14】 Si基板上に形成したアンダークラッド、コアおよびオーバークラッドからなる石英系光導波路と、該石英系光導波の上記オーバークラッドおよびアンダークラッドのいずれか一方の上に被着されて中心導体と接地導体とからなるコプレーナ配線を有する電気配線層とを含む光／電子ハイブリッド実装基板において、

上記電気配線層と上記Si基板との間を50μm以上の厚さの石英系光導波路としたことを特徴とする光／電子ハイブリッド実装基板。

【請求項15】 Si基板上に形成したアンダークラッド、コアおよびオーバークラッドからなる石英系光導波路と、該石英系光導波の上記オーバークラッドおよびアンダークラッドのいずれか一方の上に被着されて中心導体と接地導体とからなるコプレーナ配線を有する電気配線層とを含む光／電子ハイブリッド実装基板におい

て、
上記S i 基板の比抵抗は、平均値で50Ωcm以上あり、上記電気配線層と上記S i 基板との間を20μm以上の厚さの石英系光導波路としたことを特徴とする光／電子ハイブリッド実装基板。

【請求項16】 請求項11～15のいずれかの項に記載の光／電子ハイブリッド実装基板において、
上記石英系光導波路全体の厚さが120μm以下であることを特徴とする光／電子ハイブリッド実装基板。

【請求項17】 請求項8～16のいずれかの項に記載の光／電子ハイブリッド実装基板において、
上記基板は、表面に凹部および凸部を形成したS i 基板であり、該S i 基板凸部が上記S i テラスとして機能し、該光導波路は該S i 基板凹部に形成したアンダークラッド層、コア、およびオーバークラッドからなる光導波路であり、上記電気配線部は該S i 基板凹部に形成した誘電体層およびその表面または内部に設けた導体パタンで構成したことを特徴とする光／電子ハイブリッド実装基板。

【請求項18】 請求項1～11のいずれかの項に記載の光／電子ハイブリッド実装基板において、
上記基板の内部には導体パタンが形成されており、該基板内部の導体パタンと誘電体層内部または上面の導体パタンとは電氣的に接続されていることを特徴とする光／電子ハイブリッド実装基板。

【請求項19】 請求項1記載の光／電子ハイブリッド実装基板において、上記光導波路は、基板上に形成したアンダークラッド層、コアおよびオーバークラッド層を含む光導波路であり、該光導波路のコア底面の高さは上記S i テラス上面より高くなるように設定されており、
上記電気配線部導体パタンは、その高さが該光導波路オーバークラッド表面と概ね等しい厚さに形成した上記誘電体層表面に設けられたことを特徴とする光／電子ハイブリッド実装基板。

【請求項20】 基板上に凸状S i テラスを設ける工程と、
該基板上に光導波路アンダークラッド層を形成した後、表面を平坦化する工程と、
コアパタンおよびオーバークラッド層を形成する工程と、
該S i テラス部および電気配線部のオーバークラッド層、コアの全てと下部クラッド層の一部を除去し素子搭載部を形成することにより、S i テラス上面を露出するとともに、電気配線部領域のアンダークラッド層表面を該S i テラス表面より所望の寸法だけ低く設定する工程と、
該電気配線部に導体パタンを形成する工程とを含むことを特徴とする光／電子ハイブリッド実装基板の製造方法。

【請求項21】 基板上に設けた、アンダークラッド

層、コアおよびオーバークラッド層を含む光導波路と、
該光導波路に隣接して基板上に凸状に設けた素子搭載部として機能するS i テラスと、

該S i テラスに隣接して該基板上に形成した、誘電体層とその表面または内部に設けた導体パタンとからなる電気配線部とから構成される実装基板上に、
該光素子用S i テラス上には、光素子表面を下向きにして該光素子表面の少なくとも一部を該S i テラス上面と接触させた状態で、該光導波路と光結合を保ち、かつ、
該電気配線部の導体パタンと電氣的接触を保ちつつ、光機能素子が搭載されたことを特徴とする光／電子ハイブリッド集積回路。

【請求項22】 基板上に設けた、アンダークラッド層、コアおよびオーバークラッド層を含む光導波路と、
該光導波路に隣接して基板上に凸状に設けた光素子搭載部として機能する光素子用S i テラスと、
該光素子用S i テラスに隣接して該基板上に形成した、誘電体層とその表面または内部に設けた導体パタンとからなる電気配線部と、

該電気配線部領域で基板上に凸状に設けた電子回路搭載部として機能する電子回路用S i テラスとから構成される実装基板上に、
該光素子用S i テラス上には、光素子表面を下向きにして該光素子表面の少なくとも一部を該S i テラス上面と接触させた状態で、該光導波路と光結合を保ち、かつ、
該電気配線部の導体パタンと電氣的接触を保ちつつ、光機能素子が搭載されており、該電子回路用S i テラスには、電子回路が該S i テラスと熱的接続を保ちつつ搭載されていることを特徴とする光／電子ハイブリッド集積回路。

【請求項23】 請求項22記載の光／電子ハイブリッド集積回路において、
上記電子回路用S i テラス近傍の誘電体層上の導体パタン上面の高さは電子回路用S i テラス上面より低く設定しており、上記電子回路はその一部を該電子回路用S i テラスと接触した状態で保持されており、該電子回路表面の少なくとも一部の電極は、該電極に対応する該誘電体層上の導体パタンと、導電性接合材を介して電氣的接続を保ちつつ固定されたことを特徴とする光／電子ハイブリッド集積回路。

【請求項24】 請求項21～23のいずれかの項に記載の光／電子ハイブリッド集積回路において、
上記光機能素子は、表面に凹凸を設けその凹部表面から凸部表面までの電氣的に接続された状態の導体パタンを設けた熱伝導材料からなるサブキャリアの凹部に、該光機能素子の裏面電極が電氣的に導体パタンと接続した状態で接触固定されており、
上記S i テラスは2つ以上に分割されており、分割された該S i テラスの間は上記誘電体層で埋められてあり、
該S i テラス周囲の誘電体層上に上記光機能素子の活性

層側表面に設けた電極に対する第1の導体パタンおよび上記光機能素子裏面電極に対応する第2の導体パタンが設けられており、

該第1および第2の導体パタン上面の高さは、該Siテラス上面より低く設定されており、

上記サブキャリアに固定された光機能素子は、素子表面を下向きにした状態で該光素子表面の周辺部が上記Siテラス表面と接触および熱的接続を保ちつつ実装基板上に搭載されており、

上記光機能素子表面電極と上記第1の導体パタンが導電性接合材を介して電氣的に接続しており、

上記光機能素子裏面電極は、上記サブキャリア凸部上の導体パタンおよび導電性接合材を介して、第2の導体パタンと電氣的に接触していることを特徴とする光/電子ハイブリッド集積回路。

【請求項25】 請求項21～23のいずれかの項に記載の光/電子ハイブリッド集積回路において、

上記光機能素子は、表面に凹凸を設けその凹部表面から凸部表面まで電氣的に接続された状態の導体パタンを設けた熱伝導材料からなるサブキャリアの凹部に、該光機能素子の裏面電極が電氣的に導体パタンと接続した状態で接触固定されており、

上記Siテラスは2つ以上に分割されるとともに傾斜角を有する側面を有しており、

分割された該Siテラスの周囲は上記誘電体層で埋められており、

該Siテラス周囲の誘電体層上に、上記光機能素子の活性層側表面に設けた電極に対応する第1の導体パタンが設けられているとともに、該第1の導体パタン上面の高さは、該Siテラス上面より低く設定されており、

該Siテラス上面および傾斜側面の一部には上記光機能素子裏面電極に対応する薄膜電極が形成され、該薄膜電極は誘電体上に設けた第2の導体パタンと電氣的に接続しており、

上記サブキャリアに固定された光機能素子は、素子表面を下向きにした状態で該光素子表面の周辺部が上記Siテラス表面と接触および熱的接続を保ちつつ実装基板上に搭載されており、

上記光機能素子表面電極と上記第1の導体パタンが導電性接合材を介して電氣的に接続しており、

上記光機能素子裏面電極は、上記サブキャリア凸部上の導体パタンおよび該Siテラス上の薄膜電極を介して、第2の導体パタンと電氣的に接触していることを特徴とする光/電子ハイブリッド集積回路。

【請求項26】 請求項24または25に記載の光/電子ハイブリッド集積回路において、

上記サブキャリアに固定された光機能素子において、該サブキャリア外側面から該光機能素子活性層までの距離が所望の設定値Dとなるように形成されており、

上記Siテラス近傍には、該光導波路材料で形成したガ

イド構造が設けられており、

該ガイド構造内側面から光導波路コア中心までの距離が該設定値Dとなるように設定されており、

該光機能素子は、該サブキャリア外側面が該ガイド構造内側面と接触を保ちつつ、該Siテラス上に搭載されたことを特徴とする光/電子ハイブリッド集積回路。

【請求項27】 請求項21～25のいずれかの項に記載の光/電子ハイブリッド集積回路において、

上記光導波路は、1本以上の信号線用光導波路と1本以上のモニタ用光導波路を含み、

上記光機能素子は、該実装基板上の信号用光導波路およびモニタ用光導波路にそれぞれ対応する位置に形成した信号ポートおよびモニタポートとを有しており、

該実装基板のモニタ用光導波路と該光機能素子のモニタポートとが光結合し、同時に、信号用光導波路と信号ポートとが光結合した状態で、該光機能素子が該実装基板上のSiテラス上に設置されていることを特徴とする光/電子ハイブリッド集積回路。

【請求項28】 基板上に形成され、かつ、少なくとも1本の信号用光導波路および少なくとも1本のモニタ用光導波路を有する光導波路部と、該光導波路部の端部または該光導波路部の前記光導波路途中に設けられた空隙部に設けられた光素子搭載部と、前記光導波路部に設けられた前記信号用光導波路および前記モニタ用光導波路に光結合するための信号ポートおよびモニタポートを有する光機能素子とを含み、

前記光導波路部のモニタ用光導波路と前記光機能素子のモニタポートとが光結合し、同時に光導波路部の信号用光導波路と前記光機能素子の信号ポートとが光結合した状態で、前記光素子搭載部に前記光機能素子が搭載されていることを特徴とする光/電子ハイブリッド集積回路。

【請求項29】 請求項25記載の光/電子ハイブリッド集積回路において、

上記光機能素子にモニタポートに光結合する各モニタ用光導波路の他方の導波路端は光/電子ハイブリッド実装基板端部に導かれていることを特徴とする光/電子ハイブリッド集積回路。

【請求項30】 請求項25記載の光/電子ハイブリッド集積回路において、

上記光/電子ハイブリッド実装基板上には、2個以上の光機能素子が縦列に搭載されており、各光機能素子のモニタポートには、光機能素子モニタポートと光/電子ハイブリッド実装基板端部を結ぶモニタ用光導波路、または、2個以上の光機能素子間を接続するモニタ用光導波路、が光結合してあることを特徴とする光/電子ハイブリッド集積回路。

【請求項31】 請求項25記載の光/電子ハイブリッド集積回路において、

上記光/電子ハイブリッド実装基板上に搭載した光機能素子は、2ポート以上のモニタポートを有しており、ま

7

た、該光／電子ハイブリッド実装基板上には該モニタポートに対応した本数のモニタ光導波路を有しており、これらモニタポートのうちの少なくとも1つの幅は信号ポート幅より広く設定してあるか、または、これら信号用光導波路のうち少なくとも1本の幅は信号用光導波路幅より広く設定してあることを特徴とする光／電子ハイブリッド集積回路。

【請求項32】 活性層と所定の距離にある光素子高さ基準面を有する光機能素子と、該光機能素子を保持するための光素子保持面、該光素子保持面から所定の距離にあるキャリア高さ基準面およびキャリア電気配線とを有するキャリアとから構成された光サブモジュールであって、該光機能素子の光素子高さ基準面と該キャリアの光素子保持面とが接触固定されるとともに、該光機能素子の活性層側電極部と該キャリア電気配線とが電氣的に接続されたことを特徴とする光サブモジュール。

【請求項33】 請求項32記載の光サブモジュールにおいて、該キャリアは凹凸を有する基板と該基板凹部に形成した誘電体層とで形成され、該光素子保持面およびキャリア高さ基準面は基板凸部で形成し、該キャリア電気配線は誘電体層に形成されていることを特徴とする光サブモジュール。

【請求項34】 請求項32記載の光サブモジュールにおいて、該キャリアを構成する誘電体層は、表面および内部に電気配線層が形成されたフィルム状材料であることを特徴とする光サブモジュール。

【請求項35】 請求項32記載の光サブモジュールにおいて、該キャリア電気配線は、該キャリア表面および内部に形成されていることを特徴とする光サブモジュール。

【請求項36】 基板上に設けた、アンダークラッド、コア及びオーバークラッドを含む光導波路と、Siテラスと、誘電体層とその内部または表面に設けた導体パタンとから構成された実装基板であって、該誘電体層の厚さは、該導体パタンの高さが光導波路オーバークラッド表面と概ね等しい高さになるように設定してある光／電子ハイブリッド実装基板上に、光素子を保持するための光素子保持面、該光素子保持面から所定の距離にあるキャリア高さ基準面およびキャリア電気配線とを有するキャリアと、該光素子保持面に保持された光機能素子とから構成し、該光機能素子活性層から該キャリア高さ基準面までの高さが、該光導波路コアと該Siテラス上面間の段差に概ね等しく設定されており、かつ、該キャリア電気配線と該光機能素子の活性層側電極とが電氣的に接続された光サブモジュールが、該光／電子ハイブリッド実装基板のSiテラスと該光素

8

子サブモジュールのキャリア高さ基準面とが接触し、かつ、該光／電子ハイブリッド実装基板の誘電体層表面の導体パタンと該光サブモジュールのキャリア電気配線とが電氣的に接続した状態で搭載されていることを特徴とする光／電子ハイブリッド集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光導波路および電気配線の他に、光通信や光信号処理に用いられる光素子または光サブモジュールを搭載しうるハイブリッド光集積基板、該製造方法、該基板上に搭載されうる光サブモジュール、および光素子または光サブモジュールを上記基板上に搭載したハイブリッド光集積回路に関する。

【0002】

【従来の技術】 最近における光通信や光情報処理の高度化に伴い、低損失な光導波路等に能動光素子を組み込んで高周波電気回路により駆動するハイブリッド光・電子集積回路の実現が期待されている。

【0003】 そして、この光導波路上に能動光素子を組み込み高周波駆動する回路の実現に当っては、1.低損失光導波路機能、2.同一基板上に光素子を搭載し軸ずれを防止するための光学ベンチ機能、3.光素子を駆動するために必要な高周波電気配線機能、からなる三つの条件が光／電気実装基板として必要となる。

【0004】 しかしながら、従来の技術においては、上述の三条件が充足される回路が得られていない。

【0005】 従来例として、図1はSi基板1上に形成したガイド溝2および位置決め基準面3a、3bおよび3cを利用して、Si基板1上に光ファイバ4と半導体レーザ(LD)5との集積を実現し、電気配線6により駆動しようとする「Si光学ベンチ」と称せられる構成を示す斜視図である。この構成では、Si基板1の加工性の良さを利用して精度良くガイド溝2が形成できるので、光ファイバ4と半導体レーザ(LD)5やフォトディテクタ(PD)等の光素子との一体化を容易に実現できる。またSi基板は熱伝導性に優れるので、光素子との良好なヒートシンクとしても機能する。

【0006】 また、電気配線6は、Si基板1表面上に直接、または厚さ0.5μm以下の極めて薄い酸化膜を介して形成されるのであるが、この構造は電気配線6の高周波特性を著しく劣化させるという問題を生ずる。すなわち、高周波特性に優れる電気配線6を形成するためには、この電気配線層の厚さを充分なものとし、しかも誘電損失の小さい絶縁体上に形成しなければならないのであるが、Si基板1はその厚さが極めて薄くしかも十分な高周波特性を補償する程抵抗値は高くなく比抵抗は1kΩ・cm程度である。

【0007】 図2は、Si基板上に直接形成した長さ0.6mmのコープレナー配線の高周波特性を示している(T. Suzuki et al. : Microwav

9

e Workshop Digest (1993) P95)。縦軸をSパラメータの透過特性 S_{21} とし横軸を周波数(GHz)とした。長さ0.6mmの配線の損失は約0.4dB(2GHz)、約0.8dB(10GHz)となり、長さ1cmに換算すると7dB(2GHz)、13dB(10GHz)となって大きな損失となる。

【0008】一方、光導波路機能を有する光実装基板としては、Si基板上に形成した石英系光導波路の適用が期待されている。従来の光導波路は図3(A)～3

(D)に示すように、1.コアを薄いオーバークラッド層で保護した形態の「リッジ型光導波路」、2.コアを十分に厚いオーバークラッド層で埋め込んだ「埋め込み型光導波路」の2種類がある。

【0009】図4は、このうちリッジ型光導波路の検討例(6.Y. Yamada et al., "Hybrid-Integrated 4x4 Optical Gate Matrix Switch Using Silica-Based Optical Waveguides and LD Array Chip", IEEE J. Lightwave Technol., vol. 10, pp. 383-390, 1992.)であり、Si基板1上に形成した石英系光導波路7と半導体光素子8(この例では、半導体レーザアンブ:SLA)との厚みにより基板の反りが生じることに起因しており、結合損失の増大につながる。

【0010】表2にて詳しく述べれば、厚さH依存性について、一般的に高周波電気配線の損失は、1.0dB/cm以下である必要があり、本実施例のハイブリッド基板の幅広い用途を考慮すると、1.5dB/cm以下である必要があると考えられる。表2から、損失が1.5dB/cm以下であるためには、石英層の全厚Hが50μm以上であることが必要である。

【0011】また、ハイブリッド基板が良好な光学ベンチ機能を保つためには、基板の反りが少ない必要がある。図18において、石英系光導波路層とSi基板1とは熱膨導波路の適用分野が狭い領域に限定されることを意味する。このようにリッジ型光導波路は光導波路機能を十分には満たさない。またここでは、電気配線機能も検討されていない。

【0012】また、図5は、凹凸を有するSi基板1上の凹部1aに光導波路を形成し凸部1bを素子搭載部とする「テラス付光導波路基板」(山田、河内、小林:特開昭63-131104号「ハイブリッド光集積回路」)の例である。この図5において、Si基板1の凹部1a中に、石英系光導波路10のアンダークラッド層10cが、その上に、コア層10bがそれぞれ形成されており、最後に、埋め込みクラッド層10aが形成されている。そして、アンダークラッド層10cの上面と、Si基板1の凸部1b上面の高さが一致しており、凸部

10

1bを光素子8の高さ基準面として用いることができる。このような基板1では、低損失光導波機能、光学ベンチ機能は満足されるものの、高周波電気配線を搭載する機能については、全く検討されていない。ここで、電気配線を搭載するとしても、Si基板1の凸部1b上に形成されることとなり、高周波特性に対する要求条件を満たさない。なお、図5中、8aは活性層、11は素子位置決め基準面である。

【0013】図6は、特開昭62-242362号公報に開示されたハイブリッド光集積回路の構成を示す斜視図である。この回路は、Si基板1上に設けられたバッファ層12と、この上に設けられた石英系光導波路13と、Si基板1の上面からの高さが上記バッファ層12と同一の素子保持台14と、この保持台14上にアップサイドダウン構成で保持された半導体レーザ15と、この半導体レーザ15の上面電極(図示略)と金線Wにより電氣的接続される導電膜16aを有し、かつ、Si基板1の上面上に突出して設けられた電気配線台16とから概略構成されている。なお、17はヒートシンクである。

【0014】このような構成の回路では、バッファ層12の上面から導波路13のコアまでの高さの差を、素子保持台14の上面から半導体レーザ15の活性層15aまでの高さの差に等しく設定してあるので、極めて高い位置決め精度で半導体レーザ15等の光素子を搭載できるという利点がある。

【0015】しかし、この回路でも、光導波路13がリッジ型のものに限定され、外乱等の影響を受け易く、低損失の光導波路機能を発揮できない。

【0016】図7は、特公平5-3748号公報に開示されたハイブリッド光集積回路の構成を示す斜視図である。この回路は、Si基板1上にほぼ等しい高さの凸状に配置された光導波路18、光ファイバガイド19、光素子ガイド20および電気配線支持台21と、Si基板1上に配置された第1の導電膜(共通電極)22と、電気配線支持台21の上面に配置され第1の導電膜22から絶縁された第2の導電膜23と、光ファイバガイド19に沿って配設された光ファイバ24と、光素子ガイド20に沿って配設された光素子としてのレーザダイオード25とから概略構成されている。

【0017】このような構成の回路では、光素子を直接Si基板1上に搭載しているので、Si基板1をヒートシンクとして機能させることができるという利点がある。

【0018】しかし、この回路でも、光導波路18がリッジ型のものに限定され、外乱等の影響を受け易く、低損失の光導波路機能を発揮できない。

【0019】図8は、特開平5-60952号公報に開示された光半導体装置の構成を示す断面図である。この装置は、Si基板1と、この基板1上に形成された光導

波路26と、Si基板1の凹部にアップサイドダウン構成で搭載された光半導体素子27とから概略構成されている。

【0020】このような構成の装置では、光導波路26がSi基板1の凸領域上に形成されるため、十分な厚さのアンダークラッドを形成できない。このため、伝送損失が大きく、外乱の影響を受け易いなど、十分な光導波路機能を満たさない。

【0021】また、上記装置では、電気配線部28からSi基板1上に設けられているので、高周波特性に対する要求条件を満たさない。

【0022】以上述べたように、従来のハイブリッド光集積技術には、上記三つの要求条件を満足するものがない。特に高周波電気配線機能は、ほとんど考慮されてこなかった。

【0023】

【発明が解決しようとする課題】本発明の目的は、低損失光導波路機能、光学ベンチ機能および高周波電気配線機能を満足するハイブリッド光集積回路、該回路に適用可能な光実装基板および光サブモジュールを提供することにある。

【0024】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、同一基板上に設けられた光導波部と光素子搭載部と電気配線部とを含む実装基板において、該光素子搭載部は基板上に凸状に設けたテラスで構成されており、該電気配線部は基板上に形成した誘電体層とその表面または内部に形成した導体パターンとで構成されることを特徴とする。

【0025】ここで、請求項2記載の発明は、請求項1の光／電子ハイブリッド実装基板において、上記テラスはSiからなるものであってもよい。

【0026】請求項3記載の発明は、請求項2の光／電子ハイブリッド実装基板において、上記基板は、上記光素子搭載のためのSiテラスの他に、電子回路形成のためのSiテラスを有してもよい。

【0027】請求項4記載の発明は、請求項2または3の光／電子ハイブリッド実装基板において、上記光素子搭載部および電気配線部の少なくともSiテラス近傍では、誘電体層上の導体パターン上面の高さはSiテラス上面より低くなるように設定されていてもよい。

【0028】請求項5記載の発明は、請求項4記載の光／電子ハイブリッド実装基板において、上記Siテラスは傾斜角を有する側面を有しており、上記Siテラス表面および側面には薄膜電極が形成され、該薄膜電極は該Siテラス周囲の誘電体層上面または内部に形成した導体パターンと電氣的接続がなされていてもよい。

【0029】請求項6記載の発明は、請求項4または5に記載の光／電子ハイブリッド実装基板において、上記光素子用Siテラスは2つ以上に分割されており、分割

された該Siテラスの間は上記誘電体層で埋められてあり、該光素子用Siテラスの間の誘電体層上に導体パターンが設けられてもよい。

【0030】請求項7記載の発明は、請求項1～6のいずれかの項に記載の光／電子ハイブリッド実装基板において、上記光導波部は、上記Siテラスに形成した位置決め溝と、該位置決め溝中に固定した光ファイバを含むものでもよい。

【0031】請求項8記載の発明は、請求項1～6のいずれかの項に記載の光／電子ハイブリッド実装基板において、上記光導波部は、基板上に形成したアンダークラッド層、コアおよびオーバークラッド層からなる光導波路であり、該光導波路のコア底面の高さは上記Siテラス上面より高くなるように設定してもよい。

【0032】請求項9記載の発明は、請求項7または8に記載の光／電子ハイブリッド実装基板において、上記光導波路は、1本以上の信号用光導波路と1本以上のモニタ用光導波路とを含み、上記光素子用Siテラスは、該モニタ用光導波路の入出力端に対応する位置に設けてあり、かつ、該光素子用Siテラス表面には薄膜電気配線が形成されていてもよい。

【0033】請求項10記載の発明は、請求項8記載の光／電子ハイブリッド実装基板において、上記光導波路は誘電体光導波路であり、上記電気配線部の誘電体層は、該誘電体光導波路のアンダークラッド層で構成されてもよい。

【0034】請求項11記載の発明は、請求項10記載の光／電子ハイブリッド実装基板において、上記光導波路のアンダークラッド層で構成される第1の誘電体層上の一部に、光導波路とは異なる材料からなる第2の誘電体層が積層されており、該第2の誘電体層の内部または表面には導体パターンが形成されていてもよい。

【0035】請求項12記載の発明は、請求項10記載の光／電子ハイブリッド実装基板において、上記基板はSi基板であり、上記光導波路および電気配線部誘電体層は、ともに石英系光導波路で形成されており、該電気配線部誘電体層上に形成する導体パターンは中心導体と接地導体とからなるコプレーナ配線であり、該誘電体層の厚さは50 μ m以上あってもよい。

【0036】請求項13記載の発明は、請求項10記載の光／電子ハイブリッド実装基板において、上記Si基板は平均値50 Ω cm以上の比抵抗を有しており、上記光導波路および誘電体層は、おもに石英系導波路で形成されており、該電気配線部誘電体層上に設けた導体パターンは中心導体と接地導体とからなるコプレーナ配線であり、該誘電体層の厚さは20 μ m以上あってもよい。

【0037】請求項14記載の発明は、Si基板上に形成したアンダークラッド、コアおよびオーバークラッドからなる石英系光導波路と、該石英系光導波の上記オーバークラッドおよびアンダークラッドのいずれか一方の

13

上に被着されて中心導体と接地導体とからなるコプレーナ配線を有する電気配線層とを含む光／電子ハイブリッド実装基板において、上記電気配線層と上記Si基板との間を50 μ m以上の厚さの石英系光導波路としたことを特徴とする。

【0038】請求項15記載の発明は、Si基板上に形成したアンダークラッド、コアおよびオーバークラッドからなる石英系光導波路と、該石英系光導波路の上記オーバークラッドおよびアンダークラッドのいずれか一方の上に被着されて中心導体と接地導体とからなるコプレーナ配線を有する電気配線層とを含む光／電子ハイブリッド実装基板において、上記Si基板の比抵抗は、平均値で50 Ω cm以上あり、上記電気配線層と上記Si基板との間を20 μ m以上の厚さの石英系光導波路としたことを特徴とする。

【0039】請求項16記載の発明は、請求項11～15のいずれかの項に記載の光／電子ハイブリッド実装基板において、上記石英系光導波路全体の厚さが120 μ m以下であってもよい。

【0040】請求項17記載の発明は、請求項8～16のいずれかの項に記載の光／電子ハイブリッド実装基板において、上記基板は、表面に凹部および凸部を形成したSi基板であり、該Si基板凸部が上記Siテラスとして機能し、該光導波路は該Si基板凹部に形成したアンダークラッド層、コア、およびオーバークラッドからなる光導波路であり、上記電気配線部は該Si基板凹部上に形成した誘電体層およびその表面または内部に設けた導体パタンで構成してもよい。

【0041】請求項18記載の発明は、請求項1～11のいずれかの項に記載の光／電子ハイブリッド実装基板において、上記基板の内部には導体パタンが形成されており、該基板内部の導体パタンと誘電体層内部または上面の導体パタンとは電氣的に接続されていてもよい。

【0042】請求項19記載の発明は、請求項1記載の光／電子ハイブリッド実装基板において、上記光導波部は、基板上に形成したアンダークラッド層、コアおよびオーバークラッド層を含む光導波路であり、該光導波路のコア底面の高さは上記Siテラス上面より高くなるように設定されており、上記電気配線部導体パタンは、その高さが該光導波路オーバークラッド表面と概ね等しい厚さに形成した上記誘電体層表面に設けられてもよい。

【0043】請求項20記載の発明は、光／電子ハイブリッド実装基板の製造方法であって、基板上に凸状Siテラスを設ける工程と、該基板上に光導波路アンダークラッド層を形成した後、表面を平坦化する工程と、コアパタンおよびオーバークラッド層を形成する工程と、該Siテラス部および電気配線部のオーバークラッド層、コアの全てとアンダークラッド層の一部を除去し素子搭載部を形成することにより、Siテラス上面を露出するとともに、電気配線部領域のアンダークラッド層表面を

14

該Siテラス表面より所望の寸法だけ低く設定する工程と、該電気配線部に導体パタンを形成する工程とを含むことを特徴とする。

【0044】請求項21記載の発明は、光／電子ハイブリッド集積回路であって、基板上に設けた、アンダークラッド層、コアおよびオーバークラッド層を含む光導波路と、該光導波路に隣接して基板上に凸状に設けた素子搭載部として機能するSiテラスと、該Siテラスに隣接して該基板上に形成した、誘電体層とその表面または内部に設けた導体パタンとからなる電気配線部とから構成される実装基板上に、該光素子用Siテラス上には、光素子表面を下向きにして該光素子表面の少なくとも一部を該Siテラス上面と接触させた状態で、該光導波路と光結合を保ち、かつ、該電気配線部の導体パタンと電氣的接触を保ちつつ、光機能素子が搭載されたことを特徴とする。

【0045】請求項22記載の発明は、光／電子ハイブリッド集積回路であって、基板上に設けた、アンダークラッド層、コアおよびオーバークラッド層を含む光導波路と、該光導波路に隣接して基板上に凸状に設けた光素子搭載部として機能する光素子用Siテラスと、該光素子用Siテラスに隣接して該基板上に形成した、誘電体層とその表面または内部に設けた導体パタンとからなる電気配線部と、該電気配線部領域で基板上に凸状に設けた電子回路搭載部として機能する電子回路用Siテラスとから構成される実装基板上に、該光素子用Siテラス上には、光素子表面を下向きにして該光素子表面の少なくとも一部を該Siテラス上面と接触させた状態で、該光導波路と光結合を保ち、かつ、該電気配線部の導体パタンと電氣的接触を保ちつつ、光機能素子が搭載されており、該電子回路用Siテラスには、電子回路が該Siテラスと熱的接続を保ちつつ搭載されていることを特徴とする。

【0046】請求項23記載の発明は、請求項22記載の光／電子ハイブリッド集積回路において、上記電子回路用Siテラス近傍の誘電体層上の導体パタン上面の高さは電子回路用Siテラス上面より低く設定しており、上記電子回路はその一部を該電子回路用Siテラスと接触した状態で保持されており、該電子回路表面の少なくとも一部の電極は、該電極に対応する該誘電体層上の導体パタンと、導電性接合材を介して電氣的接続を保ちつつ固定されてもよい。

【0047】請求項24記載の発明は、請求項21～23のいずれかの項に記載の光／電子ハイブリッド集積回路において、上記光機能素子は、表面に凹凸を設けその凹部表面から凸部表面までの電氣的に接続された状態の導体パタンを設けた熱伝導材料からなるサブキャリアの凹部上に、該光機能素子の裏面電極が電氣的に導体パタンと接続した状態で接触固定されており、上記Siテラスは2つ以上に分割されており、分割された該Siテラ

15

スの間は上記誘電体層で埋められてあり、該S i テラス周囲の誘電体層上に上記光機能素子の活性層側表面に設けた電極に対する第1の導体パタンおよび上記光機能素子裏面電極に対応する第2の導体パタンが設けられてあり、該第1および第2の導体パタン上面の高さは、該S i テラス上面より低く設定されており、上記サブキャリアに固定された光機能素子は、素子表面を下向きにした状態で該光素子表面の周辺部が上記S i テラス表面と接触および熱的接続を保ちつつ実装基板上に搭載されており、上記光機能素子表面電極と上記第1の導体パタンが導電性接合材を介して電氣的に接続してあり、上記光機能素子裏面電極は、上記サブキャリア凸部上の導体パタンおよび導電性接合材を介して、第2の導体パタンと電氣的に接触していてもよい。

【0048】請求項25記載の発明は、請求項21～23のいずれかの項に記載の光／電子ハイブリッド集積回路において、上記光機能素子は、表面に凹凸を設けその凹部表面から凸部表面まで電氣的に接続された状態の導体パタンを設けた熱伝導材料からなるサブキャリアの凹部上に、該光機能素子の裏面電極が電氣的に導体パタンと接続した状態で接触固定されており、上記S i テラスは2つ以上に分割されるとともに傾斜角を有する側面を有しており、分割された該S i テラスの周囲は上記誘電体層で埋められてあり、該S i テラス周囲の誘電体層上に、上記光機能素子の活性層側表面に設けた電極に対応する第1の導体パタンが設けられているとともに、該第1の導体パタン上面の高さは、該S i テラス上面より低く設定されており、該S i テラス上面および傾斜側面の一部には上記光機能素子裏面電極に対応する薄膜電極が形成され、該薄膜電極は誘電体上に設けた第2の導体パタンと電氣的に接続してあり、上記サブキャリアに固定された光機能素子は、素子表面を下向きにした状態で該光素子表面の周辺部が上記S i テラス表面と接触および熱的接続を保ちつつ実装基板上に搭載されており、上記光機能素子表面電極と上記第1の導体パタンが導電性接合材を介して電氣的に接続してあり、上記光機能素子裏面電極は、上記サブキャリア凸部上の導体パタンおよび該S i テラス上の薄膜電極を介して、第2の導体パタンと電氣的に接触していてもよい。

【0049】請求項26記載の発明は、請求項24または25に記載の光／電子ハイブリッド集積回路において、上記サブキャリアに固定された光機能素子において、該サブキャリア外側面から該光機能素子活性層までの距離が所望の設定値Dとなるように形成されており、上記S i テラス近傍には、該光導波路材料で形成したガイド構造が設けられており、該ガイド構造内側面から光導波路コア中心までの距離が該設定値Dとなるように設定されており、該光機能素子は、該サブキャリア外側面が該ガイド構造内側面と接触を保ちつつ、該S i テラス上に搭載されてもよい。

16

【0050】請求項27記載の発明は、請求項21～25のいずれかの項に記載の光／電子ハイブリッド集積回路において、上記光導波路は、1本以上の信号線用光導波路と1本以上のモニタ用光導波路を含み、上記光機能素子は、該実装基板上の信号用光導波路およびモニタ用光導波路にそれぞれ対応する位置に形成した信号ポートおよびモニタポートとを有しており、該実装基板のモニタ用光導波路と該光機能素子のモニタポートとが光結合し、同時に、信号用光導波路と信号ポートとが光結合した状態で、該光機能素子が該実装基板上のS i テラス上に設置されていてもよい。

【0051】請求項28記載の発明は、光／電子ハイブリッド集積回路であって、基板上に形成され、かつ、少なくとも1本の信号用光導波路および少なくとも1本のモニタ用光導波路を有する光導波路部と、該光導波路部の端部または該光導波路部の前記光導波路途中に設けられた空隙部に設けられた光素子搭載部と、前記光導波路部に設けられた前記信号用光導波路および前記モニタ用光導波路に光結合するための信号ポートおよびモニタポートを有する光機能素子とを含み、前記光導波路部のモニタ用光導波路と前記光機能素子のモニタポートとが光結合し、同時に光導波路部の信号用光導波路と前記光機能素子の信号ポートとが光結合した状態で、前記光素子搭載部に前記光機能素子が搭載されていることを特徴とする。

【0052】請求項29記載の発明は、請求項25記載の光／電子ハイブリッド集積回路において、上記光機能素子にモニタポートに光結合する各モニタ用光導波路の他方の導波路端は光／電子ハイブリッド実装基板端部に導かれていてもよい。

【0053】請求項30記載の発明は、請求項25記載の光／電子ハイブリッド集積回路において、上記光／電子ハイブリッド実装基板上には、2個以上の光機能素子が縦列に搭載されており、各光機能素子のモニタポートには、光機能素子モニタポートと光／電子ハイブリッド実装基板端部を結ぶモニタ用光導波路、または、2個以上の光機能素子間を接続するモニタ用光導波路、が光結合してもよい。

【0054】請求項31記載の発明は、請求項25記載の光／電子ハイブリッド集積回路において、上記光／電子ハイブリッド実装基板上に搭載した光機能素子は、2ポート以上のモニタポートを有しており、また、該光／電子ハイブリッド実装基板上には該モニタポートに対応した本数のモニタ用光導波路を有しており、これらモニタポートのうちの少なくとも1つの幅は信号ポート幅より広く設定してあるか、または、これら信号用光導波路のうち少なくとも1本の幅は信号用光導波路幅より広く設定してもよい。

【0055】請求項32記載の発明は、活性層と所定の距離にある光素子高さ基準面を有する光機能素子と、該光機能素子を保持するための光素子保持面、該光素子保

持面から所定の距離にあるキャリア高さ基準面およびキャリア電気配線とを有するキャリアとから構成された光サブモジュールであって、該光機能素子の光素子高さ基準面と該キャリアの光素子保持面とが接触固定されるとともに、該光機能素子の活性層側電極部と該キャリア電気配線とが電氣的に接続されたことを特徴とする。

【0056】請求項3記載の発明は、請求項3記載の光サブモジュールにおいて、該キャリアは凹凸を有する基板と該基板凹部に形成した誘電体層とで形成され、該光素子保持面およびキャリア高さ基準面は基板凸部で形成し、該キャリア電気配線は誘電体層に形成されてもよい。

【0057】請求項3記載の発明は、請求項3記載の光サブモジュールにおいて、該キャリアを構成する誘電体層は、表面および内部に電気配線層が形成されたフィルム状材料であってもよい。

【0058】請求項3記載の発明は、請求項3記載の光サブモジュールにおいて、該キャリア電気配線は、該キャリア表面および内部に形成されてもよい。

【0059】請求項3記載の発明は、光／電子ハイブリッド集積回路であって、基板上に設けた、アンダークラッド、コア及びオーバークラッドを含む光導波路と、Siテラスと、誘電体層とその内部または表面に設けた導体パタンとから構成された実装基板であって、該誘電体層の厚さは、該導体パタンの高さが光導波路オーバークラッド表面と概ね等しい高さになるように設定してある光／電子ハイブリッド実装基板上に、光素子を保持するための光素子保持面、該光素子保持面から所定の距離にあるキャリア高さ基準面およびキャリア電気配線とを有するキャリアと、該光素子保持面に保持された光機能素子とから構成し、該光機能素子活性層から該キャリア高さ基準面までの高さが、該光導波路コアと該Siテラス上面間の段差に概ね等しく設定されており、かつ、該キャリア電気配線と該光機能素子の活性層側電極とが電氣的に接続された光サブモジュールが、該光／電子ハイブリッド実装基板のSiテラスと該光素子サブモジュールのキャリア高さ基準面とが接触し、かつ、該光／電子ハイブリッド実装基板の誘電体層表面の導体パタンと該光サブモジュールのキャリア電気配線とが電氣的に接続した状態で搭載されていることを特徴とする。

【0060】

【作用】本発明のハイブリッド光集積基板においては、従来のSi基板上に、絶縁体である石英系光導波路を50 μ m以上形成し、その上に高周波電気配線を形成している。そのため、Si基板の比抵抗にはよらず、高周波で損失の大きいSi基板の影響による損失は小さくなり、Si基板を高周波電気配線機能を持った光／電子ハイブリッド実装基板として用いることができる。

【0061】このSi基板による高周波損失については、Siの比抵抗率を高くすることにより、さらに高周

波の損失を小さくすることができる。具体的にはSi基板の比抵抗を平均値で50 $\Omega \cdot \text{cm}$ 以上とすることにより、Si基板と高周波配線層との間に必要とされる石英層を薄くすることができる。

【0062】さらに、Si基板の石英系光導波路の全体の厚さが厚いと基板に反りが生じ、特にアレイ光素子への適用を考えた場合、軸ずれが生じて光素子の良好な光学ベンチとなりえないという問題があったが、本発明で提案している光導波路は、この基板の反りの影響も考慮して、先に述べた高周波電気配線機能、低損失光導波機能を損なわない程度に、光導波路全体の厚さを薄くし最適化している。そのため、本発明のハイブリッド光集積基板は、基板の反りが少なく、良好な光学ベンチとして機能する。

【0063】また、本発明において凸部を有するSi基板を用いると、その凹部に光導波路層を形成し、高周波電気配線の下地とすることにより、低損失光導波機能、高周波電気配線機能において、上記の特徴はそのまま活かされる。そして、石英系光導波路の光軸調整のための高さ基準面として用いることができ、光素子を高精度で搭載し、良好な高周波電気配線を用いて、これを駆動することが可能となり、一層高精度な光学ベンチとして機能することが可能となる。

【0064】また、本発明のハイブリッド光集積基板においては、本発明者による凹凸を有する基板上の凹部に光導波路を形成し凸部を素子搭載部とする「テラス付光導波路基板」（前出：特開昭63-131104号「ハイブリッド光集積回路」）を基本構造として、これに良好な高周波電気特性を発揮するために、電気配線層を基板凸部表面ではなく、基板凹部に形成した誘電体光導波路の上に形成したことにより、基板として比較的抵抗率が低く、また、誘電率の高い材料を用いた場合であっても、その電気配線特性は基板の影響を受けにくくなり、優れた高周波特性を発揮することが可能となる。

【0065】さらに、本発明のハイブリッド光集積基板においては、基板凸部に形成した光素子搭載部において、搭載すべき光素子の直下の基板凸部を2つ以上に分割し、分割した凸部の間の領域に誘電体光導波路層を形成し、かつ、この誘電体光導波路の表面に光素子との電氣的接続を達成するための電極パッドならびに電気配線を形成したことにより、光素子を光素子搭載部に搭載する際、分割した基板凸部表面と光素子の少なくとも端部近傍の素子表面とを接触させるようにして搭載することにより、基板凸部表面が誘電体光導波路との光軸調整のための高さ基準面としての機能を発揮することができ、また、光素子の直下の電極パッドはもとより基板上のすべての電気配線層は、十分な厚さの誘電体光導波路層の表面に形成されるので、電気配線層の高周波特性は格段に向上する。

【0066】また、ハイブリッド光集積基板の作製方法

としては、誘電体光導波路の不要部分をエッチングにより除去して素子搭載部を形成するためのエッチャントに対して、誘電体光導波路のエッチング速度より十分に遅いエッチング速度を有する材料からなる基板を用い、かつ、基板の誘電率より小さい値を有する誘電体光導波路を用いる方法の使用が可能である。これにより、光素子搭載部において光素子搭載部形成時に基板凸部がエッチングストップ層となるので、基板凸部を高精度の高さ基準面として機能させることが可能である。また、電気配線部の高周波特性の向上も期待される。

【0067】さらに、本発明においては、基板凹部の誘電体光導波路層表面に電気配線層を形成するにあたり、基板凹部表面と誘電体光導波路層下面との接触界面に接地導体層を設けたことにより、電気配線層の構造として、誘電体導波路表面に形成した信号線層と、誘電体下面に形成した接地導体とから構成する、いわゆる「マイクロストリップ線路」の構造を採用することが可能となり、高周波特性に優れた電気配線を高密度に形成することが可能となる。

【0068】本発明のハイブリッド光集積基板では、凹部および凸部を有する基板上の凹部領域に誘電体材料からなる光導波路を形成し、また、凸部表面を露出させ光素子搭載用の位置決め基準面とする構造とし、電気配線層を光素子直下の電極パッド部を含めて、全てを基板凹部の誘電体光導波路領域に形成したことにより、低損失光導波路機能、光学ベンチ機能および高周波電気配線機能の3つを併せ持つことが可能となっている。

【0069】本発明のハイブリッド光集積回路は、その光導波回路に信号用光導波路と共にモニタ用光導波路を配置してあり、また、光機能素子にも信号ポートと共にモニタポートを設けてある。従って、光導波回路または光機能素子が有する機能のために光結合率をモニタすることが容易でない場合であっても、モニタ用光導波路とモニタポートとを用いることにより、光導波回路基板上への光機能素子ハイブリッド集積が可能となる。

【0070】このような場合として、例えば、光導波回路に波長選択性／光周波数選択性等の機能があり、このために光信号用導波路を伝搬する光の波長／光周波数に大きな制約が加わる場合、光導波回路途中に複数の光機能素子を縦列に搭載するために光信号導波路が途中で分断される場合、あるいは、光機能素子の光信号ポートにスイッチング機能があり光機能素子に無通電状態では光を透過しない場合、等が例示される。

【0071】さらに、本発明のハイブリッド光集積回路においては、素子搭載部に高さ基準面と電気配線面とを設け、かつ、モニタ用光導波路入力端（または出力端）に対応する位置に高さ基準面を配置し、信号用光導波路入力端（または出力端）の位置に電気配線面を配置してもよい。この場合、さらに、高さ基準面と光導波回路コア中心間の高さは、上記のハイブリッド光集積回路上に

搭載する光機能素子の活性層（またはコア中心）と素子表面間の距離に一致させると共に、高さ基準面表面には厚さ0.5 μm 程度の薄膜電極を形成する。電気配線面上には、厚さ2～5 μm 程度の電気配線パターン、さらに必要に応じて半田バンプが形成されている。このとき、電気配線パターン上面（または、半田バンプが形成されている場合は半田バンプ上面）を、高さ基準面より低くするように電気配線面の高さが設定されている。

【0072】このような構造としたために、本発明のハイブリッド光集積回路においては、基板上への光機能素子の搭載にあたり、光機能素子と光導波回路とのアクティブアライメントを行うことができ、かつ、半田バンプ等の厚膜半田を用いての光機能素子固定が可能となる。

【0073】すなわち、モニタポートと信号ポートとを有する光機能素子を、その活性層（あるいはコア）を下向きにしたアップサイドダウン形態でハイブリッド光集積回路の光素子搭載部に搭載できる。光機能素子のモニタポート上面電極と光素子搭載部の高さ基準面とを接触させると、光機能素子と光導波路との高さ方向の位置合わせが完了する。この時、光機能素子の信号ポートと基板上の電気配線パターンとの間には間隙が生じるために、両者の電気接続をとることはできない。

【0074】しかし、高さ基準面上には薄膜電極が形成されているので、高さ基準面からの光機能素子モニタポート電極取り出しが実現される。従って、光機能素子と光導波路との面内方向の位置合わせは、光機能素子のモニタポートおよびモニタ用光導波路とを用いてのアクティブアライメントが可能となる。すなわち、本発明の特徴によれば、アクティブアライメントによる光素子調心が可能で、かつ、厚膜半田を用いた光素子固定が可能となる。

【0075】さらに基板として、光導波回路を構成する誘電体材料と比較してエッチング速度が遅い基板を用い、かつ、その表面に凹部および凸部を設けておけば、その突部をモニタポートに対応する高さ基準面として用い、凹部領域に誘電体光導波路を形成することにより、極めて高精度な高さ基準面を形成できる。特に、基板としてシリコン基板を用いれば、ヒートシンクとしても機能する。

【0076】さらに、素子搭載部における信号ポートへの電気配線は、すべて十分な厚さの誘電体層上に形成できるので、シリコン基板が与える高周波特性劣化の影響を防止でき、ハイブリッド光集積回路の高周波特性を大幅に改善できる。

【0077】またさらに、モニタ用光導波路の一方の端部が光機能素子モニタポートと光結合し、他方の端部が光導波回路基板端部に配置されるように設けることにより、導波路途中に複数の光機能素子を個別にアクティブアライメントして搭載することが可能となる。

【0078】さらに、この場合、モニタ用光導波路とし

て光機能素子モニタポート-光導波回路基板端部間を接続する導波路と共に、光機能素子モニタポート間を相互に接続する導波路を配置すれば、アクティブアライメントにおける光結合効率モニタ法として適用できる手段が増し、このために、光機能素子として半導体素子のみならず誘電体電気光学素子、磁気光学素子、音響光学素子等、各種の光機能素子を搭載することが可能となる。

【0079】また、光機能素子に2本以上のモニタポートを設け、また、光導波回路に上記モニタポートの数に対応するモニタ用光導波路を設けて、これらのモニタポートまたはモニタ用光導波路として幅の異なるものを配置すれば、アクティブアライメントにおいて粗調整、微調整の2段階の調心が可能となる。

【0080】本発明の光サブモジュールは、光素子をキャリアに保持するに当たり、光素子に設けた光素子高さ基準面を、キャリアに設けた光素子保持面に接触させ固定するとともに、キャリア保持面から所定の段差を設けてキャリア高さ基準面を設置する。従って、光素子の活性層と光素子高さ基準面との間の高さがどのような値に設定されていても、この値に対応してキャリア保持面とキャリア高さ基準面との高さの差を適切な値に設定することにより、キャリア高さ基準面と光素子活性層との間の高さの差を一定の値に設定できる。

【0081】本発明の光サブモジュールでは、光素子の種類によらず、キャリア基準面から活性層までの距離を一定の値に規格化できる。したがって、本発明の光サブモジュールを用いれば、光素子と光導波路または光ファイバとを結合した光モジュールの製作にあたって、光実装基板の寸法を変更することなく異なる種類の光素子搭載が可能となり、光モジュールの量産、歩留り向上に大きな効果が期待される。さらに、寸法の異なる複数、多品種の光素子を一枚の実装基板上に搭載することも可能となり、高機能なハイブリッド光集積回路の製作が可能となる。

【0082】また、キャリアに電気配線を設け光素子の活性層側の電極取り出しができるようにしたので、光モジュールおよびハイブリッド光集積回路の製作に当たり、使用する光素子の事前検査が容易に行えるという効果がある。

【0083】さらに、光サブモジュールのキャリアを、凹凸を有する基板と基板凹部に形成した誘電体層とで形成し、この誘電体層にキャリア電気配線を形成することにより、光サブモジュールの高周波特性を格段に向上させることができる。さらに、誘電体層として、表面および内部に電気配線層が形成されたフィルム、いわゆるテープキャリアを用いることにより電気配線密度を向上できる。従って、電極端子数の多い光素子、例えば8×8光マトリクススイッチ等の大規模モノリシック集積回路、あるいは、受発光素子と電子回路との集積したOEIC等の光サブモジュール形成が可能となる。

【0084】また、光サブモジュールのキャリアとして、キャリア表面のみならず内部にも電気配線を有する基板、例えばアルミナ多層電気配線基板を用いれば、高周波特性、電気配線密度に優れた光サブモジュールが実現できる。

【0085】本発明のハイブリッド光集積回路では、従来のアップサイドダウン形態での光素子搭載に代わり、上記光サブモジュールを搭載するようにした。このために、光実装基板上の電気配線は、光導波路オーバークラッド層表面に形成できるようになった。この結果、従来のアップサイドダウン形態に対応したハイブリッド光集積回路形成で問題となった電気配線形成が容易に行える。すなわち、光導波路基板の狭小な領域に複雑な電気配線を形成する困難を避けることができる。

【0086】さらに、基板として凹凸を設けたSi基板を用いることにより、基板高さ基準面の位置を高い精度で決定するとともに、Si基板のヒートシンク機能を十分に発揮することができる。

【0087】本発明の光サブモジュールおよびハイブリッド光集積回路によれば、従来提案されているアップサイドダウン形態で光素子を搭載するハイブリッド光集積回路であった各種問題、すなわち、1) 多品種、複数素子の搭載の困難さ、2) 光導波路途中に挿入する光素子の場合の基板上電気配線形成の困難さ、3) 搭載する光素子の事前検査の困難さ、が一挙に解決できる。これに加えて本発明の光サブモジュールは、キャリアの構造、材質を適宜選択することにより、高周波特性、電気配線密度の点で優れた特性が得られる。

【0088】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0089】(実施例1) 図9は、本発明のハイブリッド光集積回路の第1の実施例を示す斜視図である。1は基板であり、本実施例では表面に凹凸を設けたSi基板を用いた。30は光素子搭載部として機能するSiテラスであり、Si基板凸部上面を利用している。31は本実施例の光導波部として用いる光ファイバであり、これは、Siテラス部30に設けたV溝内の最適位置に保持されている。52はSiテラス30上に搭載する光機能素子の表面電極との接触固定を行うための薄膜電極であり、これはSiテラス30の表面に設けた厚さ0.5μmの熱酸化膜上に厚さ1μmのAu-Sn半田をパタン化して形成した。この薄膜電極52は、電気配線部のSi基板1の凹部に形成した誘電体層50の表面に設けた光機能素子の表面電極用導体パタン51aおよび51bと電氣的に接続されている。35は電子回路用Siテラスである。このテラス35の周囲は誘電体層50で埋められており、その表面には電子回路用の導体パタン51が形成してある。

【0090】なお、本実施例ではSi凹部の段差を80

23

μm 、誘電体層 50 の厚さを $50\mu\text{m}$ とし、誘電体層 50 上の導電パタン 51 は、厚さ $5\mu\text{m}$ の Au メッキにより形成した。この結果、Si テラス 35 の上面と導体パタン 51 上面との間には $25\mu\text{m}$ の段差が生じている。

【0091】37 は光機能素子であり、本実施例では半導体レーザ (LD) を用いた。この素子 37 を活性層を下向きにしたアップサイドダウン形態で Si テラス 30 上の素子搭載部にのせることにより、無調心でファイバ-LD 間の高さ方向の位置決めが実現する。横方向の位置合わせは、光ファイバと LD との光結合効率のモニタにより実施してもよいし、ガイド構造を基板側に形成してこれを用いて無調心で行ってもよい。この際、LD 37 の活性層側電極は Si テラス 30 上の薄膜電極 52 と接触し、誘電体層 50 上の導体パタン 51 と電気的に接続される。薄膜電極 52 は昇温により半田を溶融して LD 37 を基板上に固定できる。

【0092】本実施例では、上記のように Si テラス 30 上の薄膜電極 52 を用いて LD 37 を固定したので、Si テラス 30 をヒートシンクとして利用できる。それと同時に、光機能素子との接続部を除く電気配線を十分な厚さの誘電体層 50 上に設けたので、優れた高周波特性を得る事が可能となる。

【0093】電子回路 38 は、LD と同様に素子形成面を下にした形態で Si テラス 35 上に搭載する。この際、上記のように誘電体層 50 上の導体パタン 51 上面を Si テラス 35 上面より $25\mu\text{m}$ 低く設定したので、厚さが概ね $25\mu\text{m}$ の半田バンプ 53 を用いれば、電子回路の中央部表面を Si テラス 35 上面に接触させ、同時に、Si テラス 35 上の電気配線を用いることなく電子回路電極と誘電体層 50 上の導体パタン 51 とを接続することが可能となる。このために、本実施例では Si テラス 35 を用いての電子回路の放熱が可能とするとともに、Si 基板 1 を介さない高周波電気配線を実現した。

【0094】以上のように、本発明の光/電子ハイブリッド実装基板によれば、Si テラスの光学ベンチ機能、すなわち、光機能素子と光ファイバ間の光軸合わせ機能および光機能素子、電子回路の放熱機能、の発揮が可能となると同時に、高周波電気配線機能の発揮が可能となる。

【0095】(実施例 2) 図 10 は、本発明の光/電子ハイブリッド集積回路の第 2 実施例を説明するための全体斜視図である。図 11 は図 10 に示した回路の光素子搭載部近傍の断面図、図 12 は図 10 における電気配線部 AA' 面での断面図、図 13 は図 10 における BB' での断面図である。

【0096】図 10 に示す通り、本実施例の実装基板は実施例 1 と同様に表面に凹凸を設けた Si 基板 1 を用いている。その光導波部では Si 基板 1 の凹部に石英系光導波路 40 を形成した。光素子搭載部には図 11 に示す

24

ように光素子用 Si テラス 30 を設けた。電気配線部においては、Si 基板凹部にポリイミドからなる誘電体層 50 を形成し、その表面および内部に導体パタン 51 および 510 を設けて有る。また、電気配線部中央には電子回路用 Si テラス 35 を設置している。

【0097】図 11 に示すように、Si テラス 30 の左側の光導波部では、Si 凹部に $17\mu\text{m}$ の段差があり、この上にアンダークラッド 41 (厚さ: $20\mu\text{m}$)、コア 42 ($6\mu\text{m} \times 6\mu\text{m}$)、オーバークラッド 43 (厚さ: $15\mu\text{m}$) からなる石英系光導波路 40 が積層されている。この導波路構造は「埋め込み型構造」というもので、コアパタンが十分な厚さのクラッド層に埋め込まれているので優れた光導波特性が発揮できる。

【0098】Si テラス 30 は傾斜した側面を有しており、その上面および電気配線部側の側面には、厚さ $1\mu\text{m}$ の Au-Su 半田をパタン化して形成した薄膜電極 52 が設けられている。この薄膜電極 52 表面から光導波路コア中心までの距離は $5\mu\text{m}$ となる。この寸法は、搭載する LD の素子表面から活性層までの距離に等しくなっており、光機能素子 37 を活性層側面を下向きにしたアップサイドダウンの状態 Si テラス 30 上に搭載することにより、光導波路コア 42 と光機能素子との高さ方向の位置合わせが無調整で実現できる。

【0099】Si テラス右側の電気配線部は、Si を深さ $25\mu\text{m}$ 掘った凹部に厚さ $15\mu\text{m}$ のポリイミドからなる誘電体層 50 とその表面に形成した厚さ $5\mu\text{m}$ の Au パタンからなる導体パタン 51 および内部に形成した導体パタン 510 を含む。誘電体層 50 上の導体パタン 51 は、Si テラス 35 の上面および側面に形成した薄膜電極 52 と電気的に接続している。この際、Si テラス 35 の表面と誘電体層 50 の表面との間には約 $10\mu\text{m}$ の段差が生じているが、このように高さの異なる 2 層間での電気配線が実現できるのは、Si テラス 35 の側面に傾斜を持たせたことの効果であることを強調しておく。Si テラス 35 の側面が概ね垂直に形成された場合には、Si テラス上の薄膜電極と誘電体層上導体パタンとの間の段差で電気配線は断線してしまうので、この 2 層間をワイヤを用いずに電気的に接続することは困難となる。

【0100】上記電気配線部には、図 10 に示すように、中央部に電子回路用 Si テラス 35 を設けてあり、ここに電子回路を搭載するようにしてある。光素子用 Si テラス 30 と電子回路用 Si テラス 35 とを結ぶ電気配線は、中心導体 51a と接地導体 51b とからなるコプレーナ配線で形成してある。電子回路周囲の電気配線は、表面導体パタン 51 と誘電体内部に設けた接地導体 510 とで構成するマイクロストリップ配線で形成してある。図 13 に示したように、コプレーナ配線の接地導体 51b とマイクロストリップ配線の接地導体 510 とは、誘電体層に設けた貫通電極 520 により接続されて

いる。

【0101】コプレーナ配線とマイクロストリップ配線とを比較すると、前者は電気配線1層で形成できるので形成が容易であるが、その反面、配線密度を高く出来ない。一方、後者は、電気配線が多層となりその製作工程が複雑になる反面、高い配線密度を実現できる。

【0102】本実施例では、電気配線部の誘電体層として多層配線の形成が比較的容易なポリイミドを用いたために、マイクロストリップ配線の形成が可能となった。このような実装基板構造を採用する事により、光機能素子とともに、接続端子数の多い電子回路の集積が可能となった。

【0103】この実装基板へ搭載する光機能素子37は半導体レーザ(LD)であり、これはSi基板等と同様の熱伝導材料を加工したサブキャリア44に搭載されている。サブキャリア44は、基板表面に凹凸を形成し、その表面に、凸部表面から凹部表面まで電気的に接続された状態の導体パターンを設けたのち、この凹部にLD裏面が接触し、かつ、LD裏面とサブキャリア上の導体パターンとが電気的に接続するように、固定したものである。このキャリアに搭載されたLDをSiテラス30上に搭載するには、LDの活性層側表面を下向きにしてSiテラス30と接触させて搭載した。LD活性層側電極と実装基板上の第1の薄膜電極53aとが直接接触し、LD裏面電極は、サブキャリアを介して実装基板上の第2の薄膜電極53bと接続する。この際、上記のように、Siテラス上の薄膜電極表面から導波路コア中心間距離と、LD素子表面から活性層間距離とを一致させているので、LDを搭載するだけで光導波路とLDとの高さ方向の位置合わせが完了する。面内方向の位置合わせは、光導波路とLDとの結合効率をモニタして行った。Siテラスは素子搭載時の精度の高い高さ基準面となると同時に、LDのヒートシンクとして機能する。

【0104】電子回路の搭載に当たっては、実施例1と同様に素子面を下向きにして半田バンプをもちいてSiテラス35上に搭載した。この際、上記のように、電気配線部の誘電体層およびその上に形成した導体パターン表面の高さがSiテラス上面より低くなるようにしてある。このような構造とした結果、電子回路をSiテラス上に接触/搭載し、かつ、電子回路のすべての電極を、Siテラス上の電気配線を経由することなく、誘電体層上の導体パターンと直接接続することが可能となった。このために、放熱特性ならびに高速性に優れた電子回路搭載が可能となる。

【0105】以上述べたように、本実施例においては、電気配線部に電子回路用Siテラス35を設け、その周囲の導体パターン表面の高さをSiテラス35より低く設定した。したがって、本実施例に係る光/電子ハイブリッド集積回路では、半田バンプを用いて接続することにより電子回路電極と誘電体層上の導体パターンとを直接電

気接続することが可能となり、同時に、電子回路をSiテラスと接触を保ちつつ実装することが可能となった。また、Siテラスの側面を傾斜角を持たせたために、上記のようにSiテラス上面と誘電体層上の導体パターンとの間に段差が生じているにもかかわらず、光素子用Siテラス上に設けた薄膜電極と誘電体層上にある導体パターンとを電気的に接続させることができる。このために、光機能素子の電極取り出し部をSiテラス上に設けてヒートシンク効果を高めるとともに、電極取り出し部を除く電気配線をすべて誘電体層上に形成することが可能となり、優れた高周波特性を発揮することができるようになった。

【0106】本実施例によれば、Siテラスの光学ベンチ機能、すなわち、光機能素子と光ファイバ間の光軸合わせ機能および光機能素子、電子回路の放熱機能、の発揮が可能となると同時に、高周波電気配線機能の発揮が可能となる。

【0107】なお、本実施例の光実装基板は、例えば、図14(A)～図14(D)に示す工程で製作できる。はじめに、後に詳述する手法により、Si基板1に凹部を形成したのち、アンダークラッド層41、コアパターン42、オーバークラッド層43からなる石英系光導波路40を形成する(図14(A)参照)。ついで、Si基板1の表面を加工して光素子用Siテラス30および電子回路用Siテラス35を形成する。この際、電子回路用Siテラス35付近のSi凹部底面には、接地導体層として金や銅などの導電膜510を設けておく(図14(B)参照)。この上に、電気配線部誘電体としてポリイミドを塗布/硬化したのち、ドライエッチング等の手法により不要部分のポリイミドを除去して、Siテラス30および35を露出させる。さらに、Siテラスから所望の段差低くなるようにポリイミド層50のエッチングを行う(図14(C)参照)。最後に、その誘電体層50の表面に導体パターン51を形成するとともに、光素子用Siテラス30上に誘電体層50上の導体パターン51と電気的に接続するように薄膜電極52を形成する(図14(D)参照)。

【0108】(実施例3)図15は、本発明のハイブリッド光集積回路の第3の実施例の構造を示す斜視図である。実施例2と本実施例との大きな違いは、電気配線部の誘電体層を光導波路と同一材料を用いて形成したことにある。

【0109】すなわち、Si凹部は、光導波部および電気配線部ともにSiテラス面から33 μ mの段差を設けて形成してある。光導波部にあたるSi凹部には、アンダークラッド41(厚さ;35 μ m)、コア42(6 μ m \times 6 μ m)、オーバークラッド43(厚さ;30 μ m)の構造を有する石英系光導波路40が形成されている。一方、電気配線部にあたるSi凹部上には、誘電体層50として石英系光導波路のアンダークラッド層41

27

が形成してある。その厚さは $25\mu\text{m}$ であり、光素子用Siテラス10および電子回路用Siテラス35の上面より $10\mu\text{m}$ 低くなるようにしてある。このように、電気配線部の導体パタン上面の高さをSiテラス上面よりも低くなるように設定した結果、重要な電気配線はすべて誘電体層上に形成し半田バンプを用いて接続が可能となると同時に、電子回路とSiテラスとを接触して搭載できるようになった。このために、この実装基板は、高周波電気特性と良好な素子放熱機能を発揮することができる。

【0110】本実施例のように電気配線部の誘電体と光導波路とを同一材料で形成する構造は、その基板の形成工程が簡便になるという効果がある。この効果について、基板形成工程を示した図16(A)～図16(E)に従って説明する。基板製作の第1ステップは、基板上にSiテラスに相当する段差を形成する工程である(図16(A)参照)。基板としてSiを用いた本実施例では、KOH等のアルカリエッチ液を用いた異方性エッチングの手法により所望の段差を形成することができる。Si基板の結晶方位を適切に選べば、図示したようにSiテラス側面を約 57° の傾斜をもって形成することができる。この後に、石英系光導波路等の誘電体光導波路のアンダークラッド層41を基板凹部に形成して、研磨等の手法によりその表面を平坦化する(図16(B)参照)。こののちに、光導波路のコアパタン42およびオーバークラッド層43を形成する(図16(C)参照)。しかるのち、Siテラスを含む電気配線部となる領域に形成された光導波路をエッチングにより除去して、Siテラスを露出させる。この際、石英系光導波路、高分子導波路(ポリイミド系光導波路等)のエッチング工程、例えば、 CF_4 と H_2 との混合ガス、あるいは O_2 ガスをエッチャントとする反応性イオンエッチングでは、Si基板1をエッチングストップ層として用いることが可能である。このためにエッチングの進行に伴い、Siテラス30および35が露出すると、その表面のエッチングは進まなくなる。

【0111】一方、光導波路部分のエッチングは続行される。この結果、ただ一度のエッチング工程により、電気配線部の誘電体表面とSiテラスとの段差を形成することができる(図16(D)参照)。

【0112】最後に、電気配線部の誘電体表面に導体パタンを形成するとともに、Siテラス表面および傾斜側面に薄膜電極を形成すれば、本発明の光実装基板を形成できる(図16(E)参照)。この際、図16(A)に示した工程においてSi基板の異方性エッチングによればSiテラス側面は自動的に傾斜が形成できることを強調しておく。Siテラス側面の傾斜を容易に形成できるように、Siテラスと誘電体上面に段差を設けても、両者の間に断線せずに電気配線を形成することができるのである。

28

【0113】このように、誘電体光導波路と電気配線部誘電体層とを同一材料で形成するようにすれば、実施例1のように、両者を異種材料で形成する事と比較して、その製作工程が簡略化できる。

【0114】また、Siテラスの側面を垂直にしないで上述のように傾斜を持たせておくことは、実装基板製作の困難さを大幅に緩和する効果もある。すなわち、Siテラス側面を概ね垂直に形成した場合には、例えば図9の実装基板において、光素子用Siテラス30と誘電体層50の上面との間に段差が生ずると、Siテラス30上の薄膜電極52と誘電体層50上の導体パタン51aとを電氣的に接続することが困難となる。したがって、垂直性の高い側面をもつSiテラスを用いて、図9のような電気配線を実現するために、図16(D)の工程において、Siテラス上面と誘電体上面を段差なく形成することは、光導波路のエッチング時間およびエッチング速度の極めて高いコントロールを必要とするため、この構造の実装基板の製作が極めて困難となる。この困難さは上記のようにSiテラス側面に傾斜を持たせることにより解消したのである。

【0115】(実施例4)図17は、本発明のハイブリッド光集積回路の第4の実施例の斜視図であり、図18はA-A断面図である。Si基板1上にアンダークラッド層60c、コア60bおよびオーバークラッド層60aが集積された埋め込み型光導波路60を示している。この図17に示す例では $400\mu\text{m}$ ピッチの4アレイ光素子を搭載していることを前提としているので、コア60bの間隔も $400\mu\text{m}$ で並べられることになる。

【0116】オーバークラッド層60a上面には、図18にも示すように $400\mu\text{m}$ 間隔の中心導体部61aと接地導体部61bとからなるコープレナー線路61が形成される。そして、中心導体部61aの幅W、中心導体部61aと接地導体部61bとのギャップ間隔S、及びコープレナー線路61とSi基板1との間の石英導波路層の厚さHは、コープレナー線路61の高周波特性に影響する主要なパラメータとなっている。このパラメータについては表1～4を用いて後述する。

【0117】光素子62の搭載部63は、エッチングによりオーバークラッド層60aが削られてアンダークラッド層60cの上面を露出させ、電気配線層63a、63bが形成される。この場合、電気配線層61a、61b、63a、63bとして厚さ $5\mu\text{m}$ の金メッキ線を用い、配線層63a、63bの長さを1mm以下としてその損失を小さくしている。

【0118】4本のコープレナー線路61の中心導体61aは、金リボン線64により銅やブロックやグランドポストと呼ばれるガイドポスト65aに接続され、前述したアンダークラッド60c上の電気配線層(電極)63aに接続され、金スズ合金からなる半田パタン66を通じて光素子62の下側の4個の電極62cに接続さ

れることになる。

【0119】コープレナー線路61の接地導体61bも同様に金リボン線64によりガイドポスト65bに接続され、アンダークラッド60c上の電気配線層（電極）63bに接続され、半田パタン66を通じてSiサブキャリア67の表面導電層67aに接続されることになる。ここで、Siサブキャリア67は表面に導電層67aが形成され、光素子62の背面の電極62bを金スズ半田で凹部の導電層67aに接続することにより保持している。したがって、光素子62が搭載部63に搭載された状態では、コープレナー線路61にて4個のアレイとともに高周波で駆動することが可能となる。

【0120】搭載部63に光素子62が搭載された状態 *

本発明の実施例4（cpw線路の構造パラメータ依存性）

	高周波電気配線機能					光学ベンチ機能
	下部クラッドの厚さ h(μm)	石英導波路全体の厚さ H(μm)	cpw 線路の構造パラメータ (w, s)	S ₂₁ (dB/cm)		7μm 光素子と光導波路端面との軸ずれ (μm)
				2GHz	10GHz	
実施例 I-1	24.0	60.0	(320, 20)	-1.2	-2.3	0.7
実施例 I-2	24.0	60.0	(160, 20)	-0.8	-1.6	0.7
実施例 I-3	24.0	60.0	(80, 20)	-0.6	-1.1	0.7
実施例 I-4	24.0	60.0	(40, 20)	-0.4	-0.7	0.7
実施例 I-5	24.0	60.0	(20, 20)	-0.3	-0.6	0.7

H : ここでは、コア6μm、上部クラッド30μmであり

H = h + 36 である。

cpw : コープレナー

アレイ光素子 : ここでは 400μmピッチで4アレイの光素子とした。

【0123】（表1）はコープレナー線路w, sと透過損失S₂₁との関係を示しており、Si基板として平均値の比抵抗を~1Ω・cmのものをを用いている。また、パラメータW, Sについては、石英系光導波路など数十μmの段差のある基板上にレジストを塗布してパターンニングしているため、20μm以下で再現良く形成するのが困難であり、よってw, s共20μm以上とした。そして、この（表1）ではアンダークラッド2cの厚さhμ

*では、光素子62の4個の活性層62aは図17手前側の石英系導波路のコア60bに光結合されることになる。なお、本実施例においては、光素子62の電極62cおよび半田パタン66の位置を光素子62の活性層62a直下から側方にずらして設けてあり、光素子固定に伴う応力が直接活性層に働くのを防止している。

【0121】ここで、コープレナー線路の高周波特性に影響する前述した主要なパラメータW, S, Hにつき、SパラメータS₂₁および光学ベンチ機能である軸ずれを考察する。

【0122】

【表1】

mを24μm、石英導波路全体の厚さHμmを60μmとして、実施例I-1~I-5までwを変化した結果、w, sが最小の場合SパラメータS₂₁が最小となって損失が最も小さくなる。なお、この（表1）では厚さhやHの数値の変更が無いので4アレイであっても軸ずれは0.7μmと一定している。

【0124】

【表2】

	高周波電気配線機能				光学ベンチ機能	
	下部クラッド の厚さ $h(\mu\text{m})$	石英導波路 全体の厚さ $H(\mu\text{m})$	cpw 線路の 構造パラメータ (w, s)	S_{21} (dB/cm)		7レー 光素子と光導波 路端面との軸ずれ (μm)
				2GHz	10GHz	
参考例 II-1	10.0	46.0	(20, 20)	-0.8	-1.6	0.6
実施例 II-2	14.0	50.0	(20, 20)	-0.6	-1.2	0.6
実施例 II-3	20.0	56.0	(20, 20)	-0.4	-0.8	0.6
実施例 II-4	24.0	60.0	(20, 20)	-0.3	-0.6	0.7
実施例 II-5	54.0	90.0	(20, 20)	-0.3	-0.5	0.8
実施例 II-6	84.0	120.0	(20, 20)	-0.2	-0.4	1.0
参考例 II-7	104.0	140.0	(20, 20)	-0.2	-0.4	1.2

H : ここでは、コア $6\mu\text{m}$ 、上部クラッド $30\mu\text{m}$ であり

$H = h + 36$ である。

cpw : コープレナー

アレー光素子 : ここでは $400\mu\text{m}$ ピッチで 4 アレーの光素子とした。

【0125】(表2)は(表1)の結果を利用して S_{21} が最小になる $(w, s) = (20, 20)\mu\text{m}$ とし、アンダークラッド 60c の厚さ h を変化させひいては H を変化させたときの S パラメータと軸ずれとをピックアップしたものであり、参考例 II-1, II-7 は従来構造のものを当てはめた場合の例であり、実施例 II-2 ~ II-6 では、 h, H を変化させた例となっている。この結果、 H が $50 \sim 90$ 近辺にて良好な数値を示している。なお、軸ずれはアレイ構造でクラッド厚さの厚みにより基板の反りが生じること起因しており、結合損失の増大につながる。

【0126】(表2)にて詳しく述べれば、厚さ H 依存性について、一般的に高周波電気配線の損失は、 1.0 dB/cm 以下である必要があり、本実施例のハイブリッド基板の幅広い用途を考慮すると、 1.5 dB/cm 以下である必要があると考えられる。(表2)から、損失が 1.5 dB/cm 以下であるためには、石英層の全厚 H が $50\mu\text{m}$ 以上であることが必要である。

【0127】また、ハイブリッド基板が良好な光学ベンチ機能を保ためには、基板の反りが少ない必要がある。図18において、石英系光導波路層と Si 基板1とは熱膨張係数が異なるため、 H が大きくなるにつれて基板の反りが大きくなる。この基板の反りが大きくなると、光導波路端面と光素子、例えば LD アレイの活性層が、位置ずれをおこし光学的な結合損失を生じるなど、光学ベンチ機能が損なわれる。光/電気ハイブリッド実装基板は、 4×4 スイッチ等への展開が求められるため、例えば 4 アレイ LD モジュール等をこの基板に搭載するなど、光素子のアレイ化に対応できることが必要である。この結果、(表2)右欄の数値(軸ずれ)を小さくする必要がある。図19は、 Si 基板上の石英層の厚さ H と、 Si 基板の反り(曲率半径)、 $400\mu\text{m}$ 間隔 4 ア

レイ LD モジュールでの軸ずれとの関係を示しており、この図19からは軸ずれを $1\mu\text{m}$ 以下に押えるためには厚さ H が $120\mu\text{m}$ 以下であることが判明する。

【0128】以上をまとめると、図18の石英系光導波路において、高周波電気配線機能、光素子を搭載するための光学ベンチ機能を満たすためには、 H は $50\mu\text{m}$ 以上 $120\mu\text{m}$ 以下にする必要のあることがわかった。

【0129】なお、(表1)、(表2)から判明するように、低損失光導波路として十分実績があり最適であると考えられるアンダークラッド $h = 30\mu\text{m}$ 、コア径 $6 \times 6\mu\text{m}$ 、オーバークラッド $= 30\mu\text{m}$ 、全石英層 $66\mu\text{m}$ のハイブリッド光集積基板を用いた例が図17である。また、この図17に示す光導波路の伝搬損失は 0.1 dB/cm 以下であり、光素子として LD を用いたとき 4 アレイ共に 10GHz での高速変調時でも良好な特性を有する。

【0130】こうして、本実施例では低損失光導波路機能、軸ずれの少ない光学ベンチ機能、 S_{21} の少ない高周波電気配線機能を合せ持つ。

【0131】図17の4アレイを分割して単体としたものを図20および図21に示す。この場合、アレイ素子でなくアレイ素子を分割した単体となっているので、基板の反りが生じたとしても軸ずれは生ずることがなく、よって厚さ H が $120\mu\text{m}$ 以下という条件を除いても前述の三機能は有する。逆に単体をアレイ化構造とする場合には、厚さ H が $120\mu\text{m}$ 以下という条件が加わることになる。

【0132】なお本実施例では、コープレナー線路 61 をオーバークラッド表面に形成したが、コープレナー線路の位置はこれ以外の場所でも形成可能である。図22に図17の側面図を、図23にコープレナー線路 61 の下のオーバークラッド $60a$ を薄くしたものの側面図

を、図24にアンダークラッド層60c全体を厚くし、コープレナー線路61を直接アンダークラッド60c上に形成したものの側面図を示す。図23および図24に示した例のようにコープレナー配線層の高さを光導波路部の上部クラッド上面よりも低く設定しても、同様に良好な電気/光実装基板として用いることができる。

【0133】(実施例5) 図25は、本発明のハイブリッド光集積回路の第5の実施例を示す図であり、図26は図25のD-Dでの断面図である。先の実施例4は、一般的なSi基板(比抵抗 $\sim 1 \Omega \cdot \text{cm}$)を用いた例であつた。一方Si基板の比抵抗を高くすることによりさらに高周波電気配線機能を改善することができる。これにより、コープレナー線路とSi基板との間の石英系光導波路を薄くすることができ、図25のような、より薄いアンダークラッド2c上に高周波線路を置く構成が可能になり、応用範囲を広げることができる。

【0134】まず図25で用いている基板の構造パラメータについて、図25の高周波電気配線部D-Dの断面図と等しい構造を持つ図26により、高周波電気配線機能、光学ベンチ機能の観点から最適化を行う。図25および図26において、61aはコープレナー線路の中心導体部、61bは接地導体部であり、60cは下部クラッド層、1は図17に示す実施例1に比べ高抵抗なSi基板である。また、図25において67はSiのサブキャリアであり、その凹部には光素子62が保持されている。サブキャリア67の表面には導電層67aが形成されており、光素子62の裏面と導通がとれている。このサブキャリアの両足を半田パタン67bに接続することにより、コープレナー線路61と光素子62の背面の電極62bとが電氣的に接続される。一方、光素子の活性層脇の電極62cは、コープレナー線路61の中心導体部61a上に形成された半田パタン67bにより導通がとれ、このコープレナー線路により光素子62を駆動

することができる。さらにこのSiサブキャリア67は、光素子で発生する熱を吸収し、空中あるいはコープレナー線路61に放熱する。なお、この実施例においては、光素子62の電極62cに接続する半田パタン67bの位置を、光素子の活性層62aの直下から側方にくらして設けてあり、光素子固定に伴う応力が、直接活性層に働くのを防止する。

【0135】このコープレナー線路の高周波特性に影響する主要なパラメータは、コープレナー線路とSi基板との間の石英アンダークラッド層の厚さh、コープレナー線路の中心導体61aの幅w、中心導体61aとコープレナー線路の接地導体層61bとのギャップ間隔sである。

【0136】これらパラメータS、Wとコープレナー線路の損失を表すSパラメータ S_{21} との関係を(表3)に示し、この(表3)によるs、wに基づきアンダークラッド2cの厚さによるSパラメータ S_{21} および軸ずれの関係を(表4)に示す。

【0137】ここでSi基板は平均値の比抵抗で $\sim 50 \Omega \cdot \text{cm}$ のものをを用いている。また、w、sについては、石英系光導波路など数十 μm の段差のある基板上にレジストを塗布してパターンニングしているため、 $20 \mu\text{m}$ 以下で再現性良く形成するのが困難であつた。そのため、w、s共に $20 \mu\text{m}$ 以上とした。また、図25および図26は光素子単体の例であるが、 $400 \mu\text{m}$ ピッチで4アレイの光素子を搭載した際の基板の反りに起因する軸ずれを(表4)に示す。

【0138】まず、コープレナー線路の構造パラメータである導体幅w、ギャップsによるSパラメータ S_{21} の変化を(表3)に示す。

【0139】

【表3】

本発明の実施例 5 (cpw 線路の構造パラメータ依存性)

	高周波電気配線機能					光学ベンチ機能
	下部クラッド の厚さ $h(\mu m)$	石英導波路 全体の厚さ $H(\mu m)$	cpw 線路の 構造パラメータ (w, s)	S_{21} (dB/cm)		7レー 光素子と光導波 路端面との軸ずれ (μm)
				2GHz	10GHz	
実施例Ⅲ-1	30.0	66.0	(320, 20)	-1.0	-3.2	0.4
実施例Ⅲ-2	30.0	66.0	(160, 20)	-0.7	-2.4	0.4
実施例Ⅲ-3	30.0	66.0	(80, 20)	-0.5	-1.6	0.4
実施例Ⅲ-4	30.0	66.0	(40, 20)	-0.5	-1.1	0.4
実施例Ⅲ-5	30.0	66.0	(20, 20)	-0.5	-1.0	0.4

H : ここでは、コア $6\mu m$ 、上部クラッド $30\mu m$ であり

$H = h + 36$ である。

cpw : コープレナー

アレー光素子 : ここでは $400\mu m$ ピッチで 4 アレーの光素子とした。

【0140】この表 3 にて判明するように、実施例Ⅲ * 【0141】

Ⅲ-1 ~ Ⅲ-5 の結果、(表 1) と同様 (w, s) 20 【表 4】

= (20, 20) μm となって損失が最も小さい。 *

本発明の実施例 5 (石英系光導波路厚依存性)

	高周波電気配線機能					光学ベンチ機能
	下部クラッド の厚さ $h(\mu m)$	石英導波路 全体の厚さ $H(\mu m)$	cpw 線路の 構造パラメータ (w, s)	S_{21} (dB/cm)		7レー 光素子と光導波 路端面との軸ずれ (μm)
				2GHz	10GHz	
参考例Ⅳ-1	1.5	37.5	(20, 20)	-3.4	-5.6	0.03
参考例Ⅳ-2	10.0	46.0	(20, 20)	-1.1	-2.2	0.07
参考例Ⅳ-3	15.0	51.0	(20, 20)	-0.8	-1.7	0.10
実施例Ⅳ-4	20.0	56.0	(20, 20)	-0.6	-1.4	0.15
実施例Ⅳ-5	30.0	66.0	(20, 20)	-0.5	-1.0	0.17
実施例Ⅳ-6	60.0	96.0	(20, 20)	-0.3	-0.5	1.36
実施例Ⅳ-7	84.0	120.0	(20, 20)	-0.2	-0.4	1.96
参考例Ⅳ-8	94.0	130.0	(20, 20)	-0.2	-0.3	1.05
参考例Ⅳ-9	120.0	156.0	(20, 20)	-0.2	-0.3	1.31

H : ここでは、コア $6\mu m$ 、上部クラッド $30\mu m$ であり

$H = h + 36$ である。

cpw : コープレナー

アレー光素子 : ここでは $400\mu m$ ピッチで 4 アレーの光素子とした。

【0142】また、この(表 4)にて示すように (w, s) = (20, 20) μm を前提として、アンダークラッド厚 h の変化に伴う S_{21} および軸ずれを表示する。このように S_{21} を 10GHz で、1.5dB/cm 以下にするには h を $20\mu m$ 以上にする必要がある。このように S_{21} 基板の比抵抗を高くしたため、 S_{21} 基板上の石英層の厚さを実施例 4 よりもより薄くすることができた。また、光学素子の活性層と光導波路のコアとの軸ずれを $1\mu m$ 以下にするためには、石英層の全厚 H を $120\mu m$ 50

m 以下にする必要がある。

【0143】以上をまとめると、図 25 および図 26 の石英系導波路において、高周波電気配線機能、光素子を搭載するための高精度光学ベンチ機能を満たすためには、石英系光導波路アンダークラッド厚 h は $20\mu m$ 以上にする必要があることがわかった。さらに $400\mu m$ ピッチで 4 アレイ以上の光素子を搭載した際には、石英系光導波路全体の厚さ H は $120\mu m$ 以下という条件が加わる。

37

【0144】なお、(表3)、(表4)から判明するように、低損失石英系光導波路として十分に実績があり最適であると考えられる、アンダークラッド $h=30\mu\text{m}$ 、コア径 $6\times6\mu\text{m}$ 、オーバークラッド厚 $30\mu\text{m}$ 、全石英層 $66\mu\text{m}$ の基板を用いて、光素子として単体のLDモジュールを用いた例が図25である。

【0145】このように実施例5のハイブリッド光集積基板は、既に実績のある低損失光導波機能のみならず、光素子を駆動するための高周波線路配線機能および基板の平坦性を確保する高精度光学ベンチ機能を満足している。さらに実施例1と比較して、光導波路として十分実績のある $30\mu\text{m}$ 厚のアンダークラッドを用い、かつガイドポスト等を使わないため電極構造を単純にすることができた。このため高周波特性が向上し、その上実装の手間が簡略化された。

【0146】このハイブリッド光集積回路の光導波路の伝搬損失は $0.1\text{dB}/\text{cm}$ 以下であった。また、光素子としてLDを用いると 10GHz での高速変調時でも良好な特性を示した。

【0147】(実施例6)図27は、本発明のハイブリッド光集積回路の第6の実施例を示す図である。実施例4で用いた平坦なSi基板1の代わりに凹凸のあるSi基板を用いている。石英系光導波路のアンダークラッド層60cは、このSi基板1の凹部に形成されており、Si基板の凸部68a、68bは図のように光素子搭載部68に露出しており、光素子62を搭載する際の高さ基準面として用いることができる。

【0148】図27におけるB-Bの断面図は、図26と同じ構造であり、ここでも(表3、表4)で最適化した厚さ $h=30\mu\text{m}$ のアンダークラッド層60cを用いている。光素子搭載部68における断面図C-Cを図28に示す。このようにSi基板1の凸部68aの上には、光素子62の活性層62aを避けるように薄い電極62cが形成され、光素子62の高さ基準面と電極部を兼ねている。コープレナー線路はアンダークラッド上では厚さ $5\mu\text{m}$ の金メッキ層を用いているが、Siテラス68a、68b上では厚さ $1\mu\text{m}$ 以下の金スパッタ膜を用いている。光素子62の背面の電極62bは、Siサブキャリア67に保持され、Siサブキャリア67の表面の導電層67a、導電性接着剤69、を通過してSiテラス68b上の電極部61bに電気的に導通している。

【0149】このように凸部を有するSi基板を用いることにより、Si凸部68aを搭載高さ基準面として用いることができ、光素子62と光導波路コア62aの位置合わせをさらに高精度に行うことができる。また光素子62で発生した熱はサブキャリア67を通過して68bを経由して熱伝導性の良いSi基板1に放熱でき、1は熱伝導性の良いパッケージ70に密着させているため、光素子62の放熱は大きく改善される。

【0150】またコープレナー線路部14における高周

38

波特性も実施例4と同様に良好である。Siテラス68a、68b上の電極において高周波線路がSi基板のすぐ上に位置しているが、実際に高周波が流れる距離は非常に短くその損失はごくわずかである。

【0151】またアンダークラッド60c、60b、オーバークラッド60aを合わせた厚さHは、表4で最適化した $66\mu\text{m}$ のものを用いており、反りが少ない良好な光学ベンチであることも言うまでもない。

【0152】(実施例7)図29は、本発明のハイブリッド光集積回路の第7の実施例を示す斜視図である。

【0153】本実施例は、実施例6の光素子62としてLD71を用い、さらにそれを駆動するためのLDドライバ72を同一基板1上に実装している点に特徴がある。光素子搭載部68は図27と全く同一の構造である。またLDドライバへの入力側のコープレナー線路部61bは図27のコープレナー線路部61と全く同一の構造である。ただし、LDドライバ72とLD71を結ぶコープレナー線路部61aは、 50Ω 系であるコープレナー線路とLDとのインピーダンス整合をとるため 40Ω の高周波用チップ抵抗73を挿入している。LDドライバ72のあるE-Eの断面図を図30に示す。このように発熱の大きいLDドライバ72の熱を効率よく放熱するため、LDドライバ72はSi基板の凸部74の上に置かれている。また実施例5同様LD部の熱も効率よくSi基板に吸収される。そしてSi基板1は、このLDモジュール全体を熱伝導性のよい材質のパッケージに密着させることにより、効率よく放熱することができる。LDドライバ72とコープレナー線61a、およびLDドライバ72とDCバイアスライン61cとの接続は、図30のように、ガイドポスト65cおよび金リボン線64を用いて接続することにより、高周波成分の損失を最小限に押さえることができる。このSi凸部74は、ドライバの底面のみに接し、コープレナー線路からは離れているので、高周波特性を損なうことはない。

【0154】このハイブリッド光集積回路の光導波路の伝搬損失は $0.1\text{dB}/\text{cm}$ 以下であった。また、LDドライバ72にコープレナー線路入力端75から 10GHz の変調用信号を入力し、さらに61cのDCバイアスラインにより振幅、変調電位を調整することにより、LD素子は 10GHz まで良好な変調特性を示した。このように本実施例7のハイブリッド光集積基板が低損失光導波機能、高周波電気配線機能、高精度光学ベンチ機能、を合わせもつ特徴を生かせば、このような高速LDモジュールを数cm角の同一基板上に実現することができる。

【0155】(実施例8)図31は、本発明のハイブリッド光集積回路の第8の実施例を示す斜視図である。

【0156】本実施例は、石英系光導波路部、光素子搭載部13、コープレナー配線部61a、61b、LDドライバ搭載部61cについて実施例7と同一の構造を持

つ。

【0157】ただし、石英系光導波路の端面62dにファイバ76を無調心で接続できるように、Si基板1を延長しガイド溝77を形成している。このガイド溝部X-X部の断面図を図32に示す。このようなガイド溝77は光導波路、およびSi基板のエッチングにより容易に形成することができる。このガイド溝77により光ファイバ76を調心の必要なしに容易に光導波路コア62bに接続することができ、このハイブリッド光集積用実装基板の応用を一層広げることができる。

【0158】(実施例9)図33は、本発明のハイブリッド光集積回路の第9の実施例を示す斜視図である。

【0159】本実施例は、石英系光導波路部以外の部分について実施例4と同一の構造を持ち、石英系光導波路部を埋め込み型からリッジ型に代えている。それに伴いオーバークラッド62aの厚みのみは、リッジ型光導波路78と同じ厚さにあるため、薄くなっている。既に述べたようにリッジ型光導波路としての特性は埋め込み型に対してわずかに劣るものの、それ以外の点では良好なハイブリッド光集積用実装基板として機能する。

【0160】(実施例10)光素子搭載部3以外の構造を図20に示した実施例4と同一とし、光素子搭載部63から、図27のようなSiテラスを用いた光素子搭載部68に変えたものをこの第10の実施例とする(図示しない)。実施例4と比較して、光導波機能、電気配線機能の点で実施例4と同様に良好な特性を保ち、それに加えて実施例6で説明したように、Siテラスを光素子搭載の高さ基準面として用いることができ、また放熱の点にも優れるという長所を持つ。

【0161】(実施例11)図34は、本発明のハイブリッド光集積回路の第11の実施例を示す斜視図である。

【0162】本実施例は、石英系光導波路部60a、60b以外の構造を図25に示した実施例5と同一とし、60a、60bの埋め込み型光導波路を、78a、78b、78cのリッジ型光導波路に変えたものである。既に述べたようにリッジ型光導波路は、埋め込み型光導波路より光導波特性がわずかに劣るものの、本実施例11は、それ以外の高周波電気配線機能、光学ベンチ機能において、実施例5と同様に良好なハイブリッド集積用実装基板として機能する。

【0163】(実施例12)図35は、本発明のハイブリッド光集積回路の第12の実施例を示す斜視図である。

【0164】本実施例は、石英系光導波路部60a、60b以外の構造を図27に示した実施例6と同一とし、図27における60a、60bの埋め込み型光導波路を、78a、78b、78cのリッジ型光導波路に変えたものである。既に述べたようにリッジ型光導波路は、埋め込み型光導波路より光導波特性がわずかに劣るもの

の、本実施例12は、それ以外の高周波電気配線機能、光学ベンチ機能において、実施例6と同様に良好なハイブリッド光集積用実装基板として機能する。

【0165】以上述べたように、本実施例により低損失光導波機能、高周波電気配線機能および高精度光学ベンチ機能の3機能を同時に有するハイブリッド光集積用実装基板の提供が可能になった。

【0166】(実施例13)図36は、本発明の光/電子ハイブリッド光集積回路の第13の実施例を示す断面図である。1は比抵抗 $100\Omega\text{cm}$ のSi基板である。光導波部においては、基板表面に設けた凹部に石英系光導波路2が形成されており、各層の厚さは、アンダークラッド $30\mu\text{m}$ 、コア $6\mu\text{m}$ 、オーバークラッド $30\mu\text{m}$ である。電気配線部のSi凹部には、石英系光導波路アンダークラッド層と同一材料からなる誘電体層50が形成されている。光素子用Siテラスと電子回路用テラス35との間の誘電体層50の厚さは $20\mu\text{m}$ であり、この上に厚さ $5\mu\text{m}$ の導体パタン51が形成されている。光素子用Siテラス30の上面および傾斜側面には薄膜電極52が形成されており、導体パタン51と電気的に接続している。光機能素子37はこの薄膜電極52と電気的な接続を保ちつつ、Siテラス30上にアップサイドダウンの状態で作成されている。電子回路38はSiテラス35上に素子面を下向きにして搭載されており、高さ $5\mu\text{m}$ の半田バンプ53により導体パタン51と接続固定される。電子回路の右側の電気配線部においては、石英系光導波路アンダークラッド層からなる誘電体層50上に(ポリイミドからなる)第2の誘電体層520が積層してある。第2の誘電体層520の内部には多層の導体パタン510が、またその表面には導体パタン51bが設けられている。

【0167】本実施例では、電気配線部の誘電体層を石英系光導波路と同一材質からなる誘電体層50と、その一部に、ポリイミドからなる第2の誘電体層520を設け、その内部に多層電気配線510を設けた。このような構造とした結果、配線密度の低い光素子と電子回路間には高速のコプレーナ配線で接続し、配線密度の高い電子回路の配線には多層のマイウロストリップ配線を用いることが可能となった。

【0168】また、本実施例ではコプレーナ配線領域、マイクロストリップ配線領域、ともに第1層目の誘電体層の光導波路のアンダークラッド層を用いて有る。この結果、本実施例と同一目的を達成するための実施例2と比較すると、実装基板の製作工程が簡略化できるという効果もある。

【0169】(実施例14)図37は、本発明のハイブリッド光集積回路の第14の実施例を示す断面図である。本実施例における基板1はセラミック基板であり、この上に光素子用Siテラス30および電子回路用Siテラス35が設けられている。光導波路40は石英系光

41

導波路である。電気配線部の誘電体層50はポリイミドで形成されている。本実施例の特徴は、電気配線部の誘電体層50の表面および内部に導体パタン51を設けたのみではなく、セラミック基板1の内部にも電気配線530を設けたことにある。

【0170】本実施例では、素子搭載部に熱伝導性に優れたSiテラスを用い、光導波路として石英系光導波路を用い、電気配線部には基板上に設けた誘電体層の内部および表面に導体パタンを設けるとともに、多層電気配線を設けることが容易なセラミック基板内部にも導体パタンを設けたのである。この結果、本実施例の実装基板は高性能光導波路機能、Si光学ベンチ機能、高周波電気配線機能の3機能を併せ持つとともに、極めて高密度な電気配線を形成することが可能となった。

【0171】なお本実施例のように、Siテラスをセラミックのような異種材料からなる基板上に設けるには、例えば、アノードックボンディングの手法が利用できる。これは、あらかじめセラミック基板表面およびSiテラス裏面に薄いSiO₂膜を形成しておき、両者を加圧昇温して接着する手法である。

【0172】(実施例15) 図38は、本発明のハイブリッド光集積回路の第15の実施例における光実装基板を示す斜視図である。図中1はSi基板であり、この基板表面には凹凸構造が形成されている。光導波路部IはSi基板凹部に形成されており、60Cは石英系光導波路アンダークラッド層(厚さ50μm)、60bは石英系光導波路コア部(6×6μm)であり、これは厚さ30μmのオーバークラッド層60aに埋め込まれている。光素子搭載部IIにおいては、Si基板凸部が露出しており、これが光素子搭載時の高さ基準面30となる。高さ基準面30は、導波路コア60bに対応する位置を中心として2分割されており、この周囲は石英系光導波路下部クラッド層60cにより埋められている。光素子搭載部IIにおけるアンダークラッド層60cの厚さは35μmであり、その表面には、中心導体パタン50および接地導体パタン51とで構成するコプレーナ構造の電気配線層500が形成されており、中心導体パタンの一端、すなわち、2分割されている高さ基準面30の間隙の部分には半田パタン52が形成されている。なお、石英系光導波路のアンダークラッド層60cの厚さ35μmは、その表面に形成した電気配線がSi基板の影響を受けずに優れた高周波特性を発揮するのに十分な厚さである。ここに、電気配線層500および半田パタン52は、ともに厚さ5μmである。なお、本実施例では、電気配線層500は金で形成し、また、半田パタン52は金-スズ合金で形成した。

【0173】図39は、図38のハイブリッド光集積基板上に半導体光素子を搭載したときの状態を、図38のAA'における断面で示したものである。本実施例では、Si凸部で構成される高さ基準面30を2分割し

42

て、この間隙を石英系光導波路のアンダークラッド層60cで埋めて、かつ、その表面に電気配線としての中心導体50ならびに半田パタン501を形成したので、半導体光素子4を搭載するにあたり、半導体光素子の電極パッド37aとの接続部を含めて、すべての電気配線層を十分な厚さの石英系光導波路のアンダークラッド層60cの表面に形成することが可能となった。このために、Si基板の抵抗率の低さおよび誘電率の高さが及ぼす電気配線への影響が無視できるようになった。石英系光導波路は抵抗率および誘電率の観点から電気配線基板としてSi基板より優れているので、本実施例の電気配線では優れた高周波特性が実現できる。

【0174】また、Si基板1の高さ基準面としての凸部表面30から光導波路コア60bの中心までの高さは、半導体光素子37の活性層37bから素子表面までの高さと同様に設定した。このため、光半導体素子37の搭載にあたっては、半導体素子をアップサイドダウンの状態ではSi基板1の凸部の高さ基準面30上に搭載するだけで、石英系光導波路コア部60bの高さと半導体光素子の活性層37bの高さを一致させることが可能となった。これと同時にSi基板1の凸部は半導体光素子のヒートシンクとしても機能する。なお、上記の光素子搭載部は不要部分の石英系光導波路層をエッチングにより除去することにより形成するが、この際、Si基板はエッチングストップ層として機能する。したがって、位置決め高さ基準面30の高さは極めて精度良く決定できることを強調しておく。

【0175】このハイブリッド光集積回路の光導波路の伝搬損失は0.1dB/cm以下であった。また、半導体光素子と石英系光導波路の位置決め精度は1μm程度であり、半導体光素子は10GHzでの高速変調時でも良好な特性を示した。

【0176】以上述べたように、本実施例は低損失光導波路機能、光学ベンチ機能ならびに高周波電気配線機能の3つを併せ持つものである。

【0177】(実施例16) 図40は本発明のハイブリッド光集積回路の第16の実施例における光実装基板を示す斜視図である。本実施例の実施例15との相違点は、光素子搭載部IIにおいて、半導体光素子の面内方向位置決め用ガイド79を設けたことにあり、他の構成は実施例15と同様である。この実施例では、ガイド79は光導波路60と同様の材質、すなわち、石英系ガラスで形成した。

【0178】図41は、図40の基板1上に半導体光素子37を搭載した時の状態を図40のBB'における断面で示したものである。基板1上に設けたガイド79は、高さ5μmであり、これに対応して、半導体光素子37には深さ6μmの位置決め溝80が設けられている。したがって、半導体光素子37をアップサイドダウンの状態、位置決め溝80と基板1上のガイド79と

が接触し、かつ、光素子上面がSi凸部表面30と接触するようにして素子搭載部に搭載するだけで、一切の調芯作業を行わないで、光導波路と光半導体素子との位置合わせが完了できた。

【0179】(実施例17)図42は本発明のハイブリッド光集積回路の第17の実施例における光実装基板を示す斜視図である。本実施例の実施例15および16との違いは、光素子搭載部IIの上に、サブキャリア67に保持された光素子37を搭載した点にあり、他の構成要素は基本的には実施例1または2と同様である。

【0180】図42において、光素子搭載部IIの電気配線層500の中心導体パタン50上に光素子活性層用の半田パタン52が形成され、接地導体パタン51上にはサブキャリア用の半田パタン53が形成されている。この基板1上にサブキャリア67に保持された光素子を搭載したときの状態を図43に示す。図43は、図42のCC'断面で示したものである。図43において、サブキャリア67はSi基板1と同一材料で形成されており、その凹部67aには光素子37が保持されている。凹部67aの表面には導電層が形成されており、光素子37の裏面と導通がとれるようになっている。サブキャリア67の凸部表面6bは、光素子37の表面(図43において下面)と面一となるか、または、光素子37の表面の高さより低く設定されている。

【0181】したがって、このサブキャリア67をハイブリッド光集積基板の素子搭載部に搭載すると、光素子37表面とSi凸部30とを接触させて高さ調整が完了する。光素子37の活性層37b側の電極37aは、基板上の中心導体パタン50と、半田パタン52を介して電氣的に接続される。

【0182】なお、この実施例においては、光素子37の電極37aおよび半田パタン52の位置を、光素子活性層37bの直下から側方にずらして設けてある。光素子固定に伴う応力が、直接活性層に働くことを防止するためである。また、光素子裏面側の電極(図示しない)は、サブキャリア67の凹部67aの表面に形成された導電層60を通り、半田パタン53を介して、基板上の接地導体パタン51と接続される。さらに、サブキャリア67の表面とSi凸部30とは、熱伝導材料81を介して熱的に接続され、基板への光素子37の搭載が完了する。

【0183】本実施例は、上記の構成になっているために、サブキャリア67を通して光素子裏面側電極を活性層側電極と同一表面から取り出せるので、ワイヤレスでの光素子表面実装が可能となる。このために、本発明の基板構造と組み合わせることにより、優れた高周波特性を発揮することが可能となる。さらに、光素子のヒートシンクとして、光素子表面からSi基板1の凸部へ直接放熱する経路とともに、光素子裏面からサブキャリアを通して、Si基板1の凸部へ放熱する経路が形成される

ので、放熱の観点からも優れた活性を示す。

【0184】(実施例18)図44(A)および図44(B)は、本発明の光/電子ハイブリッド集積回路の第18の実施例を示す図であって、図44(A)は斜視図であり、図44(B)は図44(A)におけるBB'線に沿う断面図である。本実施例は、実施例17と違い、光機能素子を保持するサブキャリア67とSiテラス30との接続部の構造にある。すなわち、光機能素子37の活性層側表面電極37aは、誘電体層50上に設けた導体パタン51aと導電性接合材である半田パンプ53aを介して接続固定される。一方、素子裏面側電極はサブキャリア67表面の導体パタンを経て、Siテラス30上に設けた薄膜電極52と、この電極52上に設けた半田パンプ53bを介して接続固定される。

【0185】先の実施例17ではサブキャリア67をSiテラス30に固定するにあたり、サブキャリア67が接続する導体パタン51が誘電体層60c上に設けられていた。このために、素子の放熱効果を高めるためにサブキャリア67とSiテラス30との間に熱伝導材料を塗布することが必要となり、その結果光素子の実装工程が複雑になると言う問題があった。これに対して、本実施例では、サブキャリア67はSiテラス30上に半田パンプ53bを介して固定されるので、半田パンプ53bを熱伝導材料と兼ねることができる。このために、実装工程を簡略できるという利点が生まれる。

【0186】(実施例19)図45(A)および図45(B)は、本発明の光/電子ハイブリッド集積回路の第19の実施例を示す図であって、図45(A)は斜視図であり、図45(B)は図45(A)におけるBB'線に沿う断面図である。本実施例は実施例18と違い、実装基板1に光機能素子37の面内方位置決めのためのガイドを設けたこと、光機能素子を保持したサブキャリアにおいて、サブキャリア67の外側面67cから活性層37bまでの距離を、実装基板1上のガイド内壁60dから光導波路コア中心までの距離Dと等しく設定したことにある。このようにすると、サブキャリアを用いつつ、かつ、アライメントフリーでの光素子ハイブリッド集積が可能となる。

【0187】なお、サブキャリア67の外側面67cから光機能素子37の活性層37bまでの距離を所望の値Dに設定するには、例えば、図46のようにして光機能素子をサブキャリアに固定すればよい。すなわち、90aは素子固定治具であり、この表面には所望位置にサブキャリアを設置するためのガイド90bと、光機能素子を所望位置に設置するためのマーカー91が設けてある。したがって、はじめに光素子37の活性層側表面に形成されたマーカー41を、活性層側表面を下向きにした状態で、治具90a上のマーカー91に一致させて光素子37を治具90a上に載せた後、サブキャリア外側面67cを治具90a上のガイド90bに突き当てた状

態で、光機能素子37をサブキャリア67に固定すればよい。

【0188】光素子に設けた位置決め基準面と実装基板上のガイド面とを直接突き当てる素子搭載法においては、光素子側面とガイド面との接触時に、光素子に格子欠陥が発生する場合があります。光素子の信頼性の観点からは問題があった。これに対して本実施例では、サブキャリア67の外側面67cを位置決め用のガイド90bに突き当てて搭載するようにしたので、光機能素子側面とガイド面とを接触させることなく、アライメントフリー素子搭載を実現できるようになった。このために、ガイド構造を用いた素子搭載においても、素子の信頼性を低下させずに実装することが可能となった。

【0189】(実施例20)図47は本発明のハイブリッド光集積回路の第20の実施例における光実装基板を示す斜視図である。この実施例の特徴は、光素子搭載部IIにおいて、Si基板1の凹部とアンダークラッド層60cとの間に、接地導体層51aを埋め込んだ構造を有する点にあり、他の構成要素は実施例15ないし17とほぼ同様である。このような構造とした結果、光素子搭載部IIにおいては、アンダークラッド層60c、その表面に設けた電気配線50および埋め込み接地導体51aとがマイクロストリップ線路を構成することになり、優れた高周波特性を得ることが可能となる。マイクロストリップ線路とすることにより、実施例15ないし17のようなコプレーナ線路と比較して、電気配線密度を高くすることが容易となる。

【0190】図48は、図47に示したハイブリッド光集積基板上にLDアレイ37を搭載した時の状態を、図47のDD'に沿う断面図で示したものである。電気配線部500は光素子との電極接続部を含めて、Si基板1の凹部に形成されている。また、Si基板1の凸部表面は、LDアレイ4の高さ基準面になると同時に、ヒートシンクとしての機能も果たすのである。

【0191】このように、本実施例においても、低損失機能、高周波電気配線機能および光学ベンチ機能の3機能を同時に発揮することが可能となった。

【0192】(実施例21)図49は、本発明のハイブリッド光集積回路の第21の実施例における光実装基板を示す斜視図であり、光素子の長さが長くなった場合の構成例を示している。光素子37は長さ15mmのLiNbO₃(LN)導波路である。本実施例では、他の実施例と同様にSi基板上の石英系光導波路で形成されている。光素子長が本実施例のように長くなると、基板および光素子の長手方向の反りが無視できなくなる。本実施例においては、図50に示すように基板およびLNチップに反りがあってもSi凸部表面30が良好な高さ基準面として機能するように、Si凸部を4分割し、それぞれを光導波路の直近に設けた。また、電気配線500は4分割されたSi凸部の間の領域に形成した石英系光

導波路アンダークラッド層60cの表面に、コプレーナ線路として形成した。

【0193】この結果、図50に示したように、基板およびLN導波路に無視しえない程度の反りが存在する場合であっても、Si凸部が高さ基準面として機能するのである。また、他の実施例と同様に電気配線部が優れた高周波特性を示すことはいうまでもない。

【0194】以上、本発明のハイブリッド光集積基板の構成をSi基板上に形成した石英系光導波路の場合を例に挙げて説明してきたが、本発明はこれ以外の材料系にも適用できることはいうまでもない。光導波路中に素子搭載部を形成するためのエッチングに用いるエッチャントに対して、光導波路の基板のエッチング速度に十分な差があり、基板がエッチングストップ層として機能するような基板と誘電体光導波路との組み合わせを用いれば、本発明を実現することができる。このような基板と誘電体光導波路との組み合わせを用いれば、基板凸部が高精度な高さ基準面としての機能を果たす。また、電気配線の高周波特性の観点からは、基板材料よりも誘電率の低い材料からなる光導波路を用いることが望ましい。

【0195】このような基板と誘電体光導波路との組み合わせは、石英系光導波路/Si基板以外にも、石英系光導波路/アルミナセラミック基板、石英系光導波路/窒化アルミナセラミック基板、あるいは、これらの光導波路として石英系光導波路の代わりにポリイミド光導波路等の高分子系誘電体光導波路とした系が例示される。ただし、アルミナセラミックのような熱伝導率の悪い基板を用いた場合には、光素子のヒートシンクを実施例20(図46)のように、別基板に取る必要がある。

【0196】また、上記の各実施例では光素子を搭載した例を示したが、これとともに光素子駆動用電子回路、さらには、信号処理用電子回路を集積することも、もちろん可能である。

【0197】(実施例22)図51は本発明のハイブリッド光集積回路の第22の実施例における光実装基板の構成を示す斜視図である。図51において符号1は基板、1aは基板凹部、30は基板凸部である。また、符号92は誘電体光導波路であり、92aは信号用光導波路、92bはモニタ用光導波路、93および93aはクラッド層である。95は光素子搭載部の電気配線面、95aおよび95bは電気配線層としての中心導体および設置導体、96は固定材である。基板凸部30の表面は、光素子搭載部の高さ基準面として機能する。さらに、この表面にはモニタ用の薄膜電極97が設けられている。

【0198】図51に示した光実装基板では、基板1としてシリコン基板を、光導波回路92として石英系光導波路を用いている。シリコン基板には段差40μmの凹凸が設けられている。その凹部には厚さ42μmの石英

系ガラスからなるアンダークラッド層が設けられ、その上にコア寸法 $6\mu\text{m} \times 6\mu\text{m}$ 、比屈折率差 $\Delta = 0.75\%$ の信号用光導波路 92a およびモニタ用光導波路 92b が形成されている。シリコン基板 1 の凸部表面と導波路コア中心間の距離は、後述する光機能素子 100 の寸法に合わせて、 $5\mu\text{m}$ に設定した。モニタ用光導波路 92b の端部はシリコン基板 1 の凸部からなる高さ基準面に対応する位置に配置され、信号用光導波路 92a の端部は電気配線面 95 に対応した位置に配置されている。高さ基準面 30 には厚さ $0.5\mu\text{m}$ の薄膜金電極が形成されている。高さ基準面であるシリコン基板 1 の凸部表面と電気配線面 95 との間には $10\mu\text{m}$ の段差があり、電気配線面 95 の下部には厚さ $30\mu\text{m}$ の石英系光導波路のアンダークラッド層 93a が設けられている。電気配線 95a および 95b は厚さ $4\mu\text{m}$ の金メッキパターンであり、その端部に固定材 96 として厚さ $4\mu\text{m}$ の半田バンプが形成されている。

【0199】上記のような構成の光実装基板上の光素子搭載部に所望の光機能素子を搭載することにより、図 52 に示すようなハイブリッド光集積回路を形成できる。本実施例における光機能素子 100 は半導体レーザであり、信号ポート 100a とモニタポート 100b とを有するものである。この各ポートの配列順序およびそのピッチは、光導波回路の光導波路 92a および 92b の入出力端ピッチに対応している。光機能素子 100 をアップサイドダウン形態で光素子搭載部に搭載すれば、光機能素子のモニタポート 100b はシリコン基板 1 の凸部の高さ基準面 30 上に配置され、信号ポート 100a は電気配線面上に配置される。

【0200】図 53 は、図 52 における III-III' 線に沿う断面図である。半導体レーザ 100 の活性層 100a および 100b は素子表面から $4.5\mu\text{m}$ の位置にある。一方、ハイブリッド光集積基板においては、高さ基準面（シリコン凸部）上の薄膜電極 97 表面から光導波路コア中心までの距離が $4.5\mu\text{m}$ に製作されている。従って、図のように半導体レーザを高さ基準面上に搭載しただけで、光導波路と半導体レーザとの高さ方向の位置合わせを完了することができる。

【0201】ところで、面内方向の位置合わせを行うためには、半導体レーザと光導波路との光結合効率をモニタしながら行う必要がある。半導体レーザの光信号ポート 100a 下の表面電極 100c は、図 53 のように基板 1 上の電気配線 95a および半田バンプ 96 と接触しないため、光信号ポート 100a を利用した調心はできない。

【0202】しかし、本実施例ではハイブリッド光集積回路および光機能素子にモニタ用光導波路 100a およびモニタポート 100b を設け、かつ、モニタポート 100b 下の表面電極を高さ基準面 30 上の薄膜電極 97 に接触させていることから、モニタポートを用いた調心

が可能となる。

【0203】このような調心にあたっては、半導体レーザを受光素子として機能させて行うことができる。すなわち、モニタ用光導波路にモニタ光を伝搬させ、このモニタ光に対するモニタポートの受光電流をモニタして、これが最大になる位置を見い出した。

【0204】なお、アクティブアライメントとして、LD 100 を発光させて、モニタ用光導波路からの光出力が最大となる位置を見い出す方法を採用することも可能である。

【0205】次に、図 54 に示すように、調心完了後、加熱して半田バンプ 96 をリフローすることにより、半田バンプと半導体レーザの信号ポート上面電極 100c とが接触するので半導体レーザおよびハイブリッド光集積基板間の電氣的接続および素子固定を実現することができる。この際、半田と光機能素子との接触位置を、そのポート（活性層）直下から若干横にずらして設定することにより、半田の硬化収縮に伴う応力が直接光機能素子の光信号ポートに働くことを防止することができる。

【0206】このハイブリッド光集積回路における位置ずれによる過剰結合損失は 0.5dB 以下であった。このことは、本実施例のハイブリッド光集積回路において $1\mu\text{m}$ 以内の精度で LD の表面実装を実現できることを示している。これは、第 1 に高さ基準面としてシリコン凸部表面を用いたこと、第 2 に面内方向に位置合わせにアクティブアライメントが可能となったことにより可能となるものである。

【0207】以上述べたように、本実施例においては、光機能素子を機能させながら面内方向の調心を行う「アクティブアライメント」を行い、かつ、半田バンプによる光素子固定を実施することができる。このために、従来のパッシブアライメントによる素子搭載と比較して、より高精度での光素子ハイブリッド集積を実現できると共に、従来のアクティブアライメントで問題となった薄膜半田を用いたことによる固定強度の低下および光機能素子への大きな応力発生といった問題を解決することができる。

【0208】さらに、本実施例では基板として熱伝導性に優れたシリコン基板を使用し、その表面に凹凸を設けて、その凸部を光機能素子搭載の高さ基準面として用いている。このような構造とすることにより、光機能素子の発熱をシリコン凸部を通して基板に効率よく逃がすことができるという効果が生じる。

【0209】また、本実施例では、光素子搭載部の電気配線面は、十分な厚さの石英系光導波路クラッド層上に設けてある。このような構造とすることにより、高周波特性に優れたハイブリッド光集積回路が実現できる。すなわち、図 1 のような従来技術においては、電気配線はシリコン基板上に直接、または、厚さ $0.5\mu\text{m}$ 程度の極めて薄い酸化膜上に形成するのが一般的であった。し

かしながら、このような従来構成では、半導体であるシリコン基板の影響を受けて、電気配線部の高周波特性が著しく劣化するという問題があった。この問題を、本実施例ではシリコン基板と電気配線面との間に、十分な厚さの誘電体層を配置することにより解決したのである。実際、本実施例のハイブリッド光集積回路における電気配線部は、概ね10GHzに及ぶ帯域を有することを確認した。

【0210】(実施例23)図55は、本発明のハイブリッド光集積回路の第23の実施例における光実装基板の構成を示す概略斜視図である。本実施例の特徴は、実施例22と異なり、光機能素子用の高さ基準面30とは別に、光素子搭載部となるシリコン基板1上に凸部を設け、そのシリコン凸部上に電子回路搭載面98を設け、さらに、電気配線面95上に光機能素子用の電気配線のみならず電子回路への電気配線も併せて設けた点にある。その他の構成要素は実施例22と同様であるので、同一符号を符し、その説明を省略する。

【0211】このようにしても、実施例22で発揮された効果と同様な効果を発揮でき、これに加えて、電子回路搭載面98としてもシリコン基板凸部を利用しているので、この上に搭載する電子回路の放熱を効果的に行うことが可能となる。すなわち、本発明のハイブリッド光集積回路に用いられる光実装基板は光/電気ハイブリッド実装基板として機能を発揮するのである。

【0212】(実施例24)先の実施例22では、基板として凹凸部を有するシリコン基板を、また誘電体光導波路として石英系光導波路を用いた例を示したが、本発明の目的でもあるアクティブアライメントによる光機能素子位置合わせと、半田バンプ等の厚膜半田による素子固定とを両立させるためには、この材料系以外の組み合わせも勿論可能である。以下に、それらの組み合わせ例を例示する。

【0213】第1に、実施例22における光導波路は、石英系光導波路に限定されるものではないことは言うまでもない。例えば、ポリイミド導波路等の高分子系光導波路を用いたとしても、実施例22で発揮された効果の全てを実現できる。

【0214】第2に、実施例22における基板には、シリコン基板以外のものをも適用できる。例えば、電子回路の実装基板として実績のあるアルミナ基板等のセラミック基板の表面に凹凸を設けたものを用いてもよい。また、この場合の光導波路についても、石英系光導波路、高分子系導波路等、各種材料系を用いることができる。このように基板として、アルミナ基板を用いた場合には、放熱効果の点では実施例22に及ばないものの、他の機能は概ね実施例22と同等の効果を発揮できる。特に、電気配線の高周波特性およびその配線規模の拡張性に関しては、実施例22より優れる場合もある。

【0215】第3に、実施例22では、表面に凹凸を形

成した基板を使用した。これに代わり表面が平坦基板を用いることも勿論可能である。図56は、この形態の一例として、基板が表面平坦なアルミナ基板、光導波路として石英系光導波路を用いた場合の基板構造を示す斜視図である。光素子搭載部の高さ基準面30を光導波路クラッド層で形成すればよい。

【0216】この場合には、高さ基準面30と光導波路コア92aおよび92bの中心との間の高さの決定精度が、実施例22より低下する場合がある。また、基板としてセラミック基板を使用した場合には、放熱効果も低下する。

【0217】しかし、本実施例においても、上述した本発明の目的でもあるアクティブアライメントおよび厚膜半田固定の両者を同時に実現できる。また、この表面平坦化基板としてシリコン基板を用いることは勿論可能である。また、基板として、石英基板を用いることも可能である。

【0218】第4に、実施例22では、光導波路コアが十分な厚さのクラッド層中は埋め込まれた「埋込構造光導波路」の例を示したが、光導波路の形態はこれに限定されるものではない。例えば、従来技術を図4に示したような、コアがむきだし、または、薄いクラッド層で覆っただけの「リッジ型光導波路」に対しても適用できる。

【0219】第5に、光導波路としては上記誘電体材料以外の材料を用いても、本発明の主目的を実現できる。このような材料としては、例えば、シリコン導波路を例示できる。

【0220】さらに、先の実施例22等では、光機能素子の光信号ポートと光導波路上の電気配線間の電気接続および固定を実現するために、固定材96として半田バンプを用いていたが、この他にも導電性接着剤や導電性ゴム等の素材を用いることも可能である。この場合にも、実施例22と同様に、素子搭載に伴う応力が光信号ポートに加わることを抑制できる。

【0221】(実施例25)図57は、本発明のハイブリッド光集積回路の第25の実施例を示す平面図であり、図58は、図57に示した要部を拡大した概略斜視図である。この光導波回路の信号用光導波路92aは、入出力導波路部I/O、周回導波路部R、および、両者の導波路間の光結合を行う方向性結合部Cとから構成され、全体として「リング共振回路」を構成している。この周回導波路部Rの途中には、光機能素子100として半導体光アンプが搭載されており、この素子の信号ポート100aと信号用光導波路とが光結合している。このハイブリッド光集積回路は、全体として、「リングレーザ」として機能する。

【0222】本実施例の「リング共振回路」にはシャープな光周波数選択性があるので、信号用光導波路と信号ポートを使用してアクティブアライメントにより半導体

光アンプ100を光導波路中に集積しようとする、使用できるモニタ光の光周波数が制限される。モニタ光の光周波数の制限を大幅に緩和するために、本実施例では、光導波回路および半導体光アンプ中に、それぞれ、モニタ用光導波路92bおよびモニタポート100bを設け、これらを用いて調心するようにしてある。すなわち、光導波回路の周回導波路Rの外側にモニタ用光導波路92bを配置し、半導体アンプの信号ポート100aに並べてモニタポート100bを配置した。従って、半導体アンプの搭載にあたっては、波長選択性のないモニタ用光導波路を使用できるので、モニタ光の光周波数に対する制約条件が大幅に緩和されるのである。

【0223】また特に、光導波回路の光素子搭載部構造を図58に示したように、高さ基準面30とそれより高さの低い電気配線面95の2層構成とすれば、実施例22で詳述したのと同様に、厚膜半田または導電性接着剤を用いた低応力素子固定が可能となる。

【0224】(実施例26)図59は、本発明のハイブリッド集積回路の第26の実施例の構成を示す平面図である。本実施例の特徴は、光導波回路中に複数の光機能素子を縦列して搭載した点にある。図59において符号100は第1の光機能素子としてのLDアレイであり、101は第2の光機能素子としての半導体変調器アレイである。マッハーツェンダ干渉回路タイプの強度変調回路がアレイ化された構成である。この光導波回路は、LDアレイ100から出力した光信号が第1の信号用光導波路アレイ220aを伝搬し、変調器アレイ101で変調されて、第2の信号用光導波路アレイ221aを通過して基板端面にまで伝搬される構成となっている。

【0225】このハイブリッド光集積回路は、LDからの光出力を変調器アレイで変調する「外部変調器付きLDアレイモジュール」として機能する。このような構成においては、第2の光機能素子101を搭載するために信号用光導波路は分断されており、この導波路を用いてのアクティブアライメントは困難である。また、変調器アレイ101の信号ポートも、無通電時には光が透過しない設計である場合には、信号用光導波路221aを用いての調心は難しい。

【0226】そこで、本実施例においては、光導波回路上に第1の光機能素子100と光導波回路基板端部とを結ぶモニタ用光導波路220b、および、第2の光機能素子101と基板端部を結ぶモニタ用光導波路221bの2系統のモニタ光導波路が設けられている。

【0227】一方、LD100にはモニタポート100bが設けられており、このポート100bは信号ポート100aと同様に半導体レーザとして機能する。半導体レーザとして機能するポートは、受光素子として機能させることも可能である。変調器アレイ101にはモニタポート101bが設けられており、このポート101bは受光素子として機能する。

【0228】なお、本実施例では、その光素子搭載部を実施例22と同様の構造とした。

【0229】図60(A)および図60(B)は図59に示した回路の断面図であって、図60(A)はLD搭載形態を示すXa-Xa'線に沿う断面図であり、図60(B)は、変調アレイ搭載形態を示すXb-Xb'線に沿う断面図である。

【0230】このような構成とすることにより、モニタ用光導波路220bにモニタ光を入射し、この受光電流をモニタすることによりLD100のアクティブアライメントが可能となる。全く同様に、モニタ用光導波路221bを用いて、変調器アレイ101のアライメントを実現できる。

【0231】なお、本実施例におけるモニタ用光導波路の配置は、光機能素子のモニタポートが受光機能を持つことを前提としているので、その適用対象は半導体光素子に限られる。

【0232】(実施例27)図61は、本発明のハイブリッド光集積回路の第27の実施例の構成を示す平面図である。本実施例の特徴は、図59に示した実施例26と異なり、第2の光機能素子すなわち変調器アレイ101に対するモニタ用光導波路221bを、第1の光機能素子すなわちLD100と変調器アレイ101との間を相互に接続するように設けた点にある。他の構成要素は実施例26と同一であるので、同一符号を符し、その説明を省略する。すなわち、変調器101に対するモニタ用光導波路221bは、LD100の直前で、モニタ用光導波路220bと合流してLD100のモニタポート100bと接続されている。

【0233】このような構成とした場合には、以下の手順での光素子搭載が可能となる。すなわち、はじめにモニタ用光導波路220bを用いてLDのアクティブアライメントを実施する。この際には、LDを発光させてもよいし、また、受光機能を利用して行ってもよい。LD搭載完了後に、今度は、モニタ用光導波路221bを用いて、変調器アレイ101のアライメントを実施する。この際には、LDのモニタポート100bを発光させた状態で、モニタポート101を受光素子として機能させ、その受光電流をモニタすればよい。

【0234】この方法の特徴は、第1の光機能素子のアライメント時にはモニタ用光導波路に光ファイバを接続し、モニタ光を入力または出力する必要があったが、光機能素子相互を接続するモニタ用光導波路を設けたので、第2の光機能素子アライメントに際しては、ファイバ接続が不要となり、アライメント工程を簡略化できることにある。

【0235】(実施例28)図62は、本発明のハイブリッド光集積回路の第28の実施例の平面図である。図63(A)および図63(B)は、図62に示した回路上に固定すべき光機能素子のアライメント方法を説明す

るための平面図であって、図63(A)はLDアレイの調心固定を示し、図63(B)は、変調器アレイの調心固定を示す。

【0236】本実施例の特徴は、実施例27と異なり、変調器101に対するモニタ用光導波路として、LDと接続する導波路に加えて、光導波回路基板端部に接続する導波路を併せて設けた点にある。

【0237】このような配置とすることにより、変調器101に対するアライメントをモニタする手段が増加し、この結果、半導体素子以外の材料からなる光機能素子に対してもアライメントが可能となる。以下に、この構成でのアライメント手順を述べる。

【0238】このような構成の光集積回路のアライメントを図63(A)および図63(B)を参照しながら説明する。はじめに、モニタ用光導波路220bにモニタ光を伝搬させて、LDアレイ100のモニタポート100bとの光結合をモニタしながら、信号用光導波路220aと光信号ポート100aとのアライメントを行い、LDアレイ100を固定する。続いて、モニタ用光導波路221bとモニタポート101bとを用いて変調器アレイ101の調心固定を実施すればよい。この際のモニタ法としては、モニタポート101bをパッシブ導波路として用い、モニタ用光導波路221bに入射したモニタ光をモニタポート101bに伝搬させ、最終的にLD100のモニタポート100bに入射させる。このとき、LD100のモニタポート100bを受光素子として機能させて、この受光電流が最大となる場所を見出せばよい。また、光の伝搬方向をこの逆にして、LDのモニタポート100bを発光させ、このときのモニタ用導波路221bからの出力光をモニタしてもよい。

【0239】この方法によれば、変調器アレイのモニタポートをパッシブ導波路として用いているので、本実施例のように光機能素子101が半導体材料で形成された場合は勿論のこと、半導体以外の光素子、例えばLiNbO₃等の誘電体電気光学結晶、あるいは磁気光学結晶等を用いた場合であっても適用できる。

【0240】以上述べたように、本実施例においては、複数の光機能素子をハイブリッド集積するにあたり、各素子毎に対応するようにモニタ光導波路を設けたので、光導波回路中に縦列に複数の素子を搭載することが可能である。

【0241】(実施例29)図64は、本発明のハイブリッド光集積回路の第29の実施例を示す平面図である。本実施例では、光導波回路のモニタ用導波路または光機能素子のモニタポートとして、幅の異なる複数のモニタ用導波路92b、92cまたはモニタポート100b、100cを設けた点に特徴がある。

【0242】図64に示すように、光機能素子のモニタポート100bおよび100cを共に同一幅で形成する一方、光導波回路のモニタ用光導波路22bの幅を信号

用光導波路92aと同一に設定し、モニタ用光導波路92cについては、92bより導波路幅を広くしてある。

【0243】このような構造とすることにより、モニタ用光導波路92cとモニタポート100cとを用いて調心の粗調整をしたのち、モニタ用光導波路92bとモニタポート100bとを用いて微調整を行うことが可能となる。このような2段階調心により、アクティブアライメントに要する時間の短縮化を図ることが可能となる。

【0244】(実施例30)図65は、本発明のハイブリッド光集積回路の第30の実施例を示す平面図である。本実施例の特徴は、先の実施例29とは逆に、光機能素子のモニタポート100bを信号ポートと同一幅として、モニタポート100cを信号ポートより広く設定した点にある。

【0245】このような構成としても、実施例29と同様に、粗調整→微調整の2段階調心によりアクティブアライメントに要する時間の短縮化を図ることが可能となる。

【0246】(実施例31)図66および図67は、本発明のハイブリッド光集積回路に搭載可能な光サブモジュールの第1の実施例の構成を示し、図66は本実施例の光サブモジュールの構成要素である光素子301およびキャリア302の構造を示す斜視図であり、図67は図66のAA'線に沿う断面図である。光素子301はアレイ状半導体光アンプであり、311はその活性層であり、この活性層311は400μm間隔で4アレイが形成されており、これら活性層311はそれぞれ光素子表面312から6μm離れている。光素子表面312には、各活性層311に対応する活性層側電極313aが形成され、光素子表面312の反対側の裏面には、アース側電極313bが形成されている。314はそれぞれ光素子高さ基準面であり、図67に示すように活性層311から3μm裏面側に下がった位置、すなわち、光素子表面312より9μm低い位置に設けられている。315は光素子横方向基準面であり、光素子表面312および光素子高さ基準面314に直交して形成されている。この基準面315の位置は4本の活性層311のうち外側の活性層311両端より、それぞれ400μm離れている。本実施例では、光素子横方向基準面15を左右両側に設けたが、片側だけでも充分その機能を達成できる。

【0247】キャリア302は、図66に示すようにSi基板の表面に3段の段差を設けて形成されている。キャリア凸部321は、光素子301の光素子高さ基準面314を接触固定するための「光素子保持面321a」であり、同時に、実装基板に搭載する場合の基準面である「キャリア高さ基準面321b」を兼ねている。すなわち、一般の場合には、「光素子保持面」と「キャリア高さ基準面」は高さの異なる面として別個に形成するが、本実施例では、同一面となっている。キャリア凸部

321で囲まれた領域325はキャリア凸部21から15 μ mの段差を設けて形成されている。この領域325の表面には厚さ2 μ mの金からなるキャリア電気配線324が形成されている。この先端部には半田パタン326が設けられている。この領域325は、光素子301の活性層側電極313aの電極取り出し部の機能を果たす。周辺領域323はキャリア凸部321から40 μ mの段差を設けて形成され、この表面にも上記キャリア電気配線324が連続して形成されている。この領域323は光実装基板側電気配線との電気接続の機能を果たす。

【0248】なお、本実施例の多段の段差を有するキャリア302は、Si基板の異方性エッチングを繰り返すことにより形成した。すなわち、最初にSi基板の凸部321を、次いで、領域325の段差を形成した。このような異方性エッチングで段差を形成した場合には、段差間の側面は垂直ではなく、約55°の角度が領域325と領域323との段差間で電気配線324は断線することなく形成できる。

【0249】図67は、前述したように図66の半導体光アンプ301をキャリア302に固定した光サブモジュールの状態を、図66のAA'線における断面で示した断面図である。半導体光アンプ301の光素子高さ基準面314を、キャリア302のキャリア保持面321と接触させて搭載した。この状態で、光素子活性層側電極313aと、キャリアの領域325に設けたキャリア電気配線324とを、キャリア302を加熱し半田326をリフローすることにより接続固定した。キャリア各領域間の段差および光素子高さ基準面と活性層との段差は上記のように設定してあるので、活性層311はキャリア高さ基準面（キャリア保持面）321bより3 μ m上方に位置している。

【0250】このように光素子を光サブモジュールの形態にしておけば、光素子の特性を事前に検査することは容易である。すなわち、すでに光素子活性層側電極313aはキャリア電気配線324に接続されているので、光素子の表面に直接触れることなく検査が実施できるのである。

【0251】（実施例32）図68は、本発明のハイブリッド光集積回路に搭載可能な光サブモジュールの第2の実施例を示す断面図である。

【0252】本発明に係る光サブモジュールでは、寸法の異なる光素子を使用する場合であっても、光素子の活性層とキャリア基準面との距離を常に一定の値に統一できる。上記の実施例31では、光素子高さ基準面314と活性層311との段差が3 μ mであったが、例えば、この段差が5 μ mである光素子を搭載する場合を考える。この場合には、図68に示したように、キャリア302の光素子保持面321aとキャリア高さ基準面321bとの間に2 μ mの段差を設ければよい。

【0253】（実施例33）図69は、本発明のハイブリッド光集積回路に搭載可能な光サブモジュールの第3の実施例を示す断面図である。活性層311から6 μ mの高さにある光素子表面312を光素子高さ基準面314として用いたとしても、図69に示すように、キャリア302の光素子高さ基準面314をキャリア高さ基準面321aより9 μ m高く設定すればよい。

【0254】実施例31または32のように寸法を設定することにより、光素子の寸法に係わらず、キャリア高さ基準面と活性層との段差を図67に示した実施例31の場合と同様に3 μ mとすることができる。

【0255】（実施例34）図70は、図6.6および図67に示した光サブモジュールの第1の実施例を用いた本発明のハイブリッド光集積回路の第34の実施例の構成を示す分解斜視図である。304は光実装基板であり、段差付きSi基板341上には光導波路部342と、基板電気配線としての電気配線346と光素子搭載部348とが形成されている。

【0256】光導波路部342は、Si基板凹部に形成され、アンダークラッド342a（厚さ30 μ m）、コア342c（厚さ6 μ m×幅6 μ m）およびオーバークラッド342c（厚さ30 μ m）の3層構造の埋め込み型石英系光導波路である。

【0257】基板電気配線346は、オーバークラッド342c表面に形成してあり、高周波動作が可能なように中心導体346aと接地導体346bとからなるコプレーナ構造を採用した。これらの配線はオーバークラッド形成後に金（厚さ5 μ m）を蒸着し、パタン化することにより形成した。この配線層は十分な厚み（66 μ m）を有し、かつ、誘電率の小さい石英ガラス上に形成したので良好な電気特性を示す。また、基板電気配線346における中心導体346aの先端部には、光サブモジュールとの電氣的接続用に半田パタン327が蒸着、パタン化によって形成されている。

【0258】光素子搭載部348はSi凸部343を含む領域に形成されている。Si凸部343の表面の高さは光導波路アンダークラッド342a上面高さに一致し、光サブモジュール搭載時の高さ基準面（以下、基板高さ基準面343とする）として機能する。すなわち、基板高さ基準面343から光導波路コア342bの中心までの高さは3 μ mであり、これは、実施例31の光サブモジュールのキャリア高さ基準面321bから活性層311までの高さに等しい。基板高さ基準面343以外のSi凹部領域348は光素子挿入溝349であり、基板高さ基準面343から約110 μ mの深さを有する。溝349の底面には厚さ2 μ mの金からなる接地用電気配線層347がオーバークラッド上の基板電気配線346と同時に形成されている。接地用電気配線層は微細なパタン化は不要であるので、このような深溝底部にも容易に形成できる。溝349の底面の端部には配線取り出

し部349aが設けられ、リード345により光実装基板304の接地用電気配線層347と接地導体346bとが接続されている。

【0259】本実施例の光実装基板304は、上記のようにアレイド光素子301を光導波路中間に挿入する場合であっても、光素子活性層311側の電極313aを取り出すための基板電気配線を、光導波路表面に形成すればよいので、比較的微細な電気配線パターンであっても容易に形成できる。従来の光素子アップサイドダウン形態での搭載では、基板電気配線は、段差のある基板の底面に形成しなければならず、このようなことは困難であった。

【0260】次に、この光実装基板304上に光素子301およびキャリア302を含む光サブモジュールを搭載しハイブリッド光集積回路を製作する工程を図70、図71および図72を参照して説明する。図71は図70のBB'線に沿う断面図、図72は図70のCC'線に沿う断面図である。

【0261】図70および図71において光サブモジュールのキャリア高さ基準面321と光実装基板の基板高さ基準面343とを接触させることにより、光素子活性層311と光導波路コア342aとの高さ方向の位置合わせを容易に完了することができる。本実施例においては横方向(Si基板341の面方向でかつ光導波路と直交する方向)に関しては、光導波路と光素子との光結合率をモニタしながら最適位置に合わせた。位置合わせ完了後、光実装基板の光素子挿入溝349の底面に導電性接着剤351を滴下して光サブモジュールと光実装基板を固定した。

【0262】最後に図72に示すように、光実装基板上の基板電気配線端部に設けた半田327をリフローし光サブモジュールのキャリア302の電気配線と基板304の電気配線との電氣的接続を行うことにより、ハイブリッド光集積回路の製作を終了する。

【0263】なお、本実施例では、半田のリフローは基板全体を加熱することによって行ったが、接続部を局部的に加熱する方法も可能である。

【0264】従来の光素子アップサイドダウンでの実装形態では、光素子固定と電気接続とを一度の工程で行わなければならないのに対し、本実施例の実装工程では、上記のように光サブモジュールと光実装基板の調芯固定工程と、両者の電気配線接続工程とを分離することが可能となった。

【0265】また、電気配線端子数が多数の光素子の場合には、従来方法では、電気接続がなされない端子が生ずるという故障が発生しやすく、歩留り低下を招き易い。これに対して、本発明によれば、光素子固定後に電気接続を行えばよいので多数の電気接続端子を有する光素子に対しても歩留り良くハイブリッド光集積回路を製作することが可能となる。

【0266】さらに、上述のように本発明の光サブモジュールとハイブリッド光集積回路を用いれば、高さ方向の寸法の異なる光素子を用いた場合であっても光実装基板の高さ方向の寸法を変更する必要はない。図67、図68または図69に示したような光サブモジュールの各基準面間の高さを適切に設定し、キャリア基準面321、321aおよび321bと光素子活性層311間の高さを3μmにすれば、どのような光素子に対しても本実施例の光実装基板が適用できる。

【0267】以上述べたように、本発明を用いれば、従来のアップサイドダウン搭載形態のハイブリッド光集積回路で問題であった、1)多品種、複数素子搭載、2)基板上の電気配線形成、3)光素子の事前検査、に関する困難さを一挙に解決できるのである。

【0268】(実施例35)図73は、本発明のハイブリッド光集積回路の第35の実施例に搭載可能な光サブモジュールの第4の実施例の構成を示す斜視図である。本実施例が実施例31の光サブモジュールと異なる点は、光サブモジュールに、横方向の位置合わせ基準面を設けたこと、および領域325と領域323との間の段差をなくしたことにある。

【0269】図73に示すように、光素子301は実施例31と同一のアレイ状半導体光アンプであり、各種の寸法も同一である。キャリア302には、実施例31と同様に、光素子保持面321aとキャリア高さ基準面321bが段差なく同一面として形成されており、光素子保持面321aの内側側面に光素子の横方向の位置決めをするための光素子搭載横方向基準面322aが形成されている。光素子301をキャリア302に搭載するにあたり、光素子高さ基準面314と光素子保持面321aとを接触させ、また、光素子横方向基準面315と光素子搭載横方向基準面322aとを接触させることにより、キャリア302と光素子301との相対的な位置を決定できる。キャリア302のキャリア高さ基準面321bの外側側面にはキャリア横方向基準面322bが形成されており、キャリア横方向基準面322bと光素子搭載横方向基準面322aとは、300μm離れている。キャリア302の上記以外の構造および寸法は実施例31の場合と同様である。

【0270】したがって、光素子301をキャリア302に搭載すると、光素子活性層311とキャリア高さ基準面321bおよびキャリア横方向基準面322bとの距離は、それぞれ、3μmおよび700μmとなる。

【0271】(実施例36)図74は、本発明のハイブリッド光集積回路の第36の実施例の構成を示す断面図である。本実施例は、先の実施例35の光サブモジュールを含む点に特徴がある。

【0272】実施例35の光サブモジュールを搭載する光実装基板の構造は図70と同様である。ただし、本実施例では左端の光導波路コア中心から素子搭載溝側壁3

10

20

30

40

50

48bまでの距離を700 μ mに設定している。その他の寸法は実施例334の場合と同様である。

【0273】本実施例では、光サブモジュールの搭載にあたっては図74に示すように、光サブモジュールのキャリア高さ基準面321bと光実装基板の基板高さ基準面343とを接触させ、かつ、キャリア搭載用横方向基準面322bと素子搭載溝側壁348bとを接触させることにより、光素子活性層311と光導波路コア342bとの位置合わせを完了する。この後は、図70～図72に示した実施例34と同様の工程を経ればハイブリッド光集積回路を製作できる。

【0274】光素子の寸法が異なっても、キャリアに設ける各高さ基準面および横方向基準面の寸法を適切に設定すれば、常に、光素子活性層311とキャリア高さ基準面321bおよびキャリア搭載用横方向基準面322aとの距離は、それぞれ、3 μ mおよび700 μ mに設定できる。したがって、本実施例によれば、光素子の寸法が変わっても、光実装基板の光素子搭載部の寸法を変えることなくハイブリッド光集積回路が形成できる。これに加えて、先の各実施例で得られた各種の効果は、本実施例によっても全く同様に実現できる。

【0275】(実施例37) 図75は本発明のハイブリッド光集積回路の第37の実施例に搭載可能な光サブモジュールの第5の実施例の構成を示す分解斜視図である。本実施例では、キャリア302の材質として透明な石英ガラスを用いている。実施例31のキャリアと比較して、光素子保持面321a上および周辺領域323上にそれぞれ光素子位置決めマーカー210およびキャリア位置決めマーカー230を設けたことが構造上異なる点である。また、光素子電極取り出し領域325と周辺領域323とを同一の高さにした。その他の構成は図69に示した実施例33の光サブモジュールのキャリア構造と同様である。光素子301は活性層側表面312を光素子高さ基準面314としてあり、この上に、光素子位置決めマーカー210に対応する図示していないマーカーが形成されている。

【0276】本実施例ではキャリアとして透明な石英ガラスを用いたので、光素子301をキャリア302に搭載するにあたって、透明なキャリアを通して光素子およびキャリアに形成したマーカーを観察することが可能となる。そこで、光素子高さ基準面314とキャリア保持面321aとを接触させるとともに、光素子表面に形成したマーカーとキャリアに設けた光素子位置決めマーカーとが重なるようにして搭載し、高さ方向、横方向とも正確な位置合わせを実現した。

【0277】また、本実施例では、電気配線324はコプレーナ配線であり、しかも、誘電率の小さな石英ガラス表面に形成しているので、キャリア302にSi基板を用いた先の実施例と比較して、高周波特性に極めて優れている。

【0278】(実施例38) 図76は、本発明のハイブリッド光集積回路の第38の実施例の構成を示す分解斜視図である。本実施例では図75に示した実施例37の光サブモジュールを光実装基板304に搭載する点に特徴がある。光導波路342のオーバークラッド上に基板マーカー410を設けた点を除けば、その他の構成は図70に示した実施例34とほぼ同様である。この基板に光サブモジュールを搭載する場合は、基板マーカー410とキャリア位置決めマーカー230とを一致させるとともに、キャリア高さ基準面と基板高さ基準面とを接触させ固定すればよい。

【0279】なお、本実施例の石英ガラスキャリアにおいては、実施例31および32のSiキャリアと比較して熱伝導率が格段に悪い。しかし、図76の光実装基板304に搭載すれば、光実装基板自体がヒートシンクの効果を果たすので何らの問題も生じない。

【0280】(実施例39) 図77は、本発明のハイブリッド光集積回路の第39の実施例に搭載可能な光サブモジュールの第6の実施例の構成を示す斜視図である。本実施例では、キャリア302を、表面および内部に多層電気配線324を有するセラミック基板を用いて構成している。キャリア(セラミック基板)302は内部に上下両面の電気配線を接続する垂直方向の配線324hが形成されており、光素子301の電極とはセラミック基板302の下面で接続し、基板上面の配線324sを経て、再び下面から取り出される。

【0281】光素子保持面321aおよびキャリア高さ基準面321bはポリイミドで形成した。このような構造は、セラミック基板上に厚いポリイミド膜を形成した後、不要部分のポリイミドをエッチングにより除去することにより実現できる。

【0282】この光サブモジュールを用いれば、これまで述べた他の実施例と同様のやり方で、光実装基板に搭載して本発明のハイブリッド光集積回路を得ることができる。

【0283】この実施例では、光サブモジュールのキャリアとしてセラミック基板を用いているので、良好な電気特性が得られると共に、多層電気配線も容易に実現できる。また、電気配線をキャリアの上に設けることができるので光素子の事前検査が極めて容易となる。

【0284】(実施例40) 図78は、本発明のハイブリッド光集積回路の第40の実施例に搭載可能な光サブモジュールの第7の実施例の構成を示す斜視図である。本実施例のキャリア302は、凹凸形状のSi基板302aと、その凹部に形成した十分な厚さの誘電体層としての石英ガラス層302bと、この誘電体層302b上に形成した電気配線324と、Si凸部に形成した光素子保持面321aとキャリア高さ基準面321bとを基本構成要素としている。

【0285】このように熱伝導性に優れたSi基板と十

分な厚さの石英ガラスの積層構造のキャリアを用いることにより、1) 電気配線が誘電率の小さい石英ガラス層の表面に形成されているため、実施例 33 と同様に上に良好な高周波特性が得られる、2) 光素子保持面およびキャリア高さ基準面は Si が露出し、光素子高さ基準面および基板高さ基準面とそれぞれ接触しているため、高い放熱効果が得られるという効果が得られる。

【0286】なお、誘電体層としては石英ガラス以外にも、ポリイミド等の高分子誘電材料を適用してもよい。ポリイミドを用いる場合には電気配線を多層化し高密度化することが容易であり、マトリクス光スイッチのように電気配線数の多い大規模光集積チップの実装に適している。

【0287】(実施例 41) 図 79 は本発明のハイブリッド光集積回路の第 41 の実施例に搭載可能な光サブモジュールの第 8 の実施例の構成を示す分解斜視図であり、図 80 は図 79 の DD' 線に沿う断面図である。本実施例では、図 79 に示すように、キャリア 302 は、凹凸形状の Si 基板 302a と、電気配線を有する配線フィルム 302b とから構成されている。Si 基板 302a の凸領域には、光素子保持面 321a とキャリア高い基準面 321b とが形成されている。配線フィルム 302b には、ポリイミドフィルム表面に信号配線 324a が設けられ、裏面には接地配線 324b を設けたマイクロストリップ配線が形成されている。フィルム 302b には、窓 352 が設けられている。窓 352 の内側には信号配線 324b と光素子活性層側電極との接続用のインナーリード 324c が延びている。また、フィルム 302b の外周部には信号配線 324a に接続したアウターリード 324d、および接地配線 324b に接続したアウターリード 324e が設けられている。

【0288】この光サブモジュールは以下の手順で製作する。すなわち、はじめに光素子活性層側電極 313a と配線フィルムのインナーリード 324c とを半田により接続し、ついで、Si 基板 302a の凸部を、配線フィルムの窓 352 から挿入し、光素子 301 の光素子高さ基準面 314 および光素子横方向基準面 315 を、それぞれ、光素子保持面 321a および光素子搭載横方向基準面 322a とに接触させ固定する。

【0289】(実施例 42) 図 81 は、本発明のハイブリッド光集積回路の第 42 の実施例の構成を示す斜視図である。本実施例は、実施例 41 における光サブモジュールを含む点に特徴がある。

【0290】本実施例の光実装基板 304 の構造は図 70~図 72 に示した実施例 34 と同様である。光サブモジュールのキャリア高さ基準面およびキャリア横方向基準面と、光実装基板の基板高さ基準面と基板横方向基準面とをそれぞれ接触固定した後、光サブモジュールのアウターリード 324d と光実装基板 304 のオーバークラッド上の基板電気配線 346 とを電気的に接続した。

【0291】上記のように本実施例における光サブモジュールは、そのキャリアを位置決め機能を有する凹凸形状 Si 基板と、電気配線機能を有する配線フィルムとの組み合わせで構成した。特に、配線フィルムと光素子電極との電気接続はインナーリードを用いて行うようにした。この結果、光素子電極をキャリア表面に設けた電気配線に直接接続する実施例 34、36 および 38 までの構造と比較して、光素子に与える応力を大きく低減することができる。このことは、光素子の信頼性を大きく向上させる。同時に、インナーリードを用いることにより、光素子電極と光サブモジュール電気配線との電気接続工程の歩留りを大きく向上することができる。さらに、配線フィルムには、容易にマイクロストリップ線路が形成できるので、配線密度を高めることができる。この電気配線は、フィルム表面のみならず内部にも形成して、多層電気配線とすることも容易である。これに加えて、光サブモジュールからはアウターリードが延びているために、光実装基板に搭載する前の光素子の事前検査が極めて容易に行えるという効果も生まれる。

【0292】本実施例に係るハイブリッド光集積回路においては、光サブモジュールを光実装基板に位置決め・固定する工程と、光素子電極と基板電気配線とを電気的に接続する工程とを分離できるので、製作歩留りを大きく向上することができる。

【0293】

【発明の効果】以上説明したように、本発明のハイブリッド光集積用実装基板は、低損失石英系光導波路用基板として実績のある Si 基板の、高周波で誘電損失が大きいという欠点を、適当な厚さの石英のパッファ層を用いることにより解決し、なおかつ高精度光学ベンチ機能の観点から、アレイ光素子を搭載しても、光導波路と軸ずれによる結合損失の増大を起こさない程度に、基板の反りが小さくなるように石英光導波路の厚さを最適化している。そのため、能動素子を光導波路に精度よく搭載し、かつ優れた高周波特性により駆動する光/電気実装基板として用いることができる。

【0294】この高周波電気特性は、Si 基板の比抵抗を高めることによりさらに改善され、コープレナー線路と Si 基板との間の石英層の厚さをより薄くしても、十分良好な高周波特性を保つことができる。このため、光導波路として十分実績のある厚さ 30 μ m 程度のアンダークラッド層を用い、かつコープレナー線路をコア層よりも低くする構造も可能となり応用範囲を広げることができる。

【0295】さらに、凹凸のある Si 基板を用い、その凹部に石英系光導波路の下部クラッド層を形成し、凸部を光素子搭載部に露出させ高さ基準面として用いることにより、一層高精度な光学ベンチ機能を持たせることができる。この構造では Si テラスを通じて熱伝導性に優れる Si 基板を光素子やその駆動用 IC の放熱板として

利用することができる。

【0296】またこのSi基板にファイバーガイド溝を形成することにより、石英系光導波路に無調心でファイバを接続することも可能となる。

【0297】本発明のハイブリッド光集積基板は、凹凸を有する基板上の凹部に誘電体光導波路を形成し、その凸部を光素子搭載部とする「テラス付光導波路基板」を基本構造とし、電気配線層を基板凹部に形成した誘電体光導波路上に形成したものである。この効果として、基板として比較的抵抗率の低い基板（例えば、Si基板）を用いた場合、あるいは、比較的誘電率の高い基板（例えば、アルミナセラミック基板）であっても、電気特性に基板の影響が現れなくなり優れた高周波特性を発揮することが可能となった。

【0298】さらに、光素子搭載部の基板凸部を2つ以上に分割し、その間の領域にも誘電体光導波路層を形成し、かつ、光素子と基板上の電気配線との接続のための電極パッド部を、この誘電体光導波路層上に設けるようにした本発明のハイブリッド光集積基板では、すべての電気配線部を誘電体光導波路層上に形成できるようになったために、その高周波特性が格段に向上し、同時に、基板凸部上面を光素子搭載のための高さ基準面として用いることができるので高精度での光素子搭載が可能となった。

【0299】本発明のハイブリッド光集積回路においては、光導波回路に信号用光導波路と共にモニタ用光導波路を設け、また、光機能素子には光導波回路の導波路配置に対応して信号ポートとモニタポートとを設け、光導波回路のモニタ用光導波路と光機能素子のモニタポートが光結合し、かつ、同時に信号用光導波路と信号ポートとが光結合しつつ、光機能素子が光導波路上の光素子搭載部に設置できるようにした。このために、信号用光導波路部に波長選択性／光周波数選択性等の機能を有していたり、または、光機能素子の信号ポートにも各種の機能があり、このために信号用光導波路および信号ポートを用いてのアクティブアライメントが困難となる場合があっても、モニタ光導波路およびモニタポートを用いてのアクティブアライメントが可能となった。

【0300】また、光素子搭載部に表面に薄膜電極を形成した高さ基準面と、それより高さの低い電気配線面を設けた。高さ基準面をモニタ用光導波路に対応する位置に配置し、電気配線面を信号用光導波路に対応する位置に配置することにより、基板上への光機能素子搭載にあたり、光機能素子と光導波路とのアクティブアライメントを行い、かつ、半田バンプ等の厚膜半田を用いての素子固定が可能となった。このために、光導波路と光機能素子との高い位置決め精度を実現すると共に、光機能素子の信号ポート上面が基板に直接接触することがなくなるので、素子搭載に伴う応力が信号ポートに加わることを防ぐことができる。

【0301】さらに、基板として凹凸を有する基板を用い、かつ、光導波回路として誘電体光導波回路を用いれば、光素子搭載部の高さ基準面の高さ設定精度が大きく向上すると共に、電気配線部の高周波特性が改善されるという効果も生じる。

【0302】さらに、上記の基板として熱伝導性に優れたシリコン基板を用いれば、上記の効果に加えて光機能素子に対する放熱特性が大幅に向上するという効果が生まれる。

【0303】さらに、光導波路上のモニタ用光導波路を光機能素子—光導波回路端部間と共に、必要に応じて、光機能素子間を接続するように配置すれば、光導波路中に複数の光機能素子を縦列に搭載することも可能となり、しかも、半導体光素子は勿論のこと、半導体以外の各種材料からなる光機能素子のハイブリッド集積が可能である。

【0304】本発明の光サブモジュールは、光素子活性層側の電極取り出し用の電気配線機能と、光素子および光実装基板との位置決め機能とを有するキャリアに、光素子をその活性層側が接触するように搭載し形成したものである。この結果、光サブモジュール内部に高周波特性に優れた電気配線が形成できるようになり、光素子的高速特性が著しく向上するという効果がある。また、光実装基板への搭載に先立つ光素子特性の事前検査が極めて容易に実施できるようになった。さらに、キャリアの位置決め基準面から光素子活性層までの距離を、光素子寸法に関係なく規格化した値に設定できるという効果が生まれた。

【0305】また、本発明のハイブリッド光集積回路においては、大きな段差が形成された素子搭載部底部への微細電気配線パタンの形成が不要となったので、埋め込み型光導波路を用いているのもかわらず、片端結合タイプはもとより両端結合タイプの光素子の搭載が可能となった。さらに、寸法の異なる多品種の光素子を搭載することが可能となった。さらに、電気配線がキャリアに設けられ、基板への搭載前にあらかじめ光素子と接続されているため、実装作業上、光の調芯と電氣的接続を同時に行う困難は解消され、作業が格段に容易になるという効果が生ずる。

【図面の簡単な説明】

【図1】Si光学ベンチの構造を示す斜視図である。

【図2】図1の構造から予想される高周波特性を示す特性図である。

【図3】二種の光導波路構造を示すもので、(A)はリッジ型光導波路構造の光実装基板を示す断面図であり、(B)は(A)の光実装基板上に設けられた素子搭載部を示す断面図であり、(C)は埋め込み型光導波路構造の光実装基板を示す断面図であり、(D)は(C)の光実装基板上に設けられた素子搭載部を示す断面図である。

【図4】リッジ型光導波路構造の光実装基板を示す概略斜視図である。

【図5】Siテラス付光導波路構造の光実装基板を示す概略斜視図である。

【図6】従来のハイブリッド光集積回路の構成の一例を示す斜視図である。

【図7】従来のハイブリッド光集積回路の構成の他の例を示す斜視図である。

【図8】従来の光半導体装置の構成の一例を示す断面図である。

【図9】本発明のハイブリッド光集積回路の第1の実施例を示す斜視図である。

【図10】本発明のハイブリッド集積回路の第2実施例を説明するための全体斜視図である。

【図11】図10に示した回路の光素子搭載部近傍の断面図である。

【図12】図10におけるAA'面での断面図である。

【図13】図10におけるBB'面での断面図である。

【図14】本発明のハイブリッド光実装基板の製造方法の一実施例を示すもので、(A)は石英系光導波路を形成する工程を示す断面図であり、(B)は光素子用および電子回路用Siテラスを形成する工程を示す断面図であり、(C)は(B)のテラス上に形成したポリイミド層を除去してテラスを露出させる工程を示す断面図であり、(D)はポリイミド層上に電気配線部を形成する工程を示す断面図である。

【図15】本発明のハイブリッド光集積回路の第3の実施例の構造を示す斜視図である。

【図16】本発明のハイブリッド光実装基板の製造方法の他の例を示すもので、(A)は基板上にSiテラスに相当する段差を形成する工程を示す断面図であり、

(B)は石英系光導波路等のアンダークラッド層を基板凹部に形成する工程を示す断面図であり、(C)はコアパタンおよびオーバークラッド層を形成する工程を示す断面図であり、(D)はSiテラスを露出させる工程を示す断面図であり、(E)は電気配線部を形成する工程を示す断面図である。

【図17】本発明のハイブリッド光集積回路の第4の実施例の斜視図である。

【図18】図17のA-A面での断面図である。

【図19】基板の曲率半径 r 、およびLDアレイと光導波路コアとの軸ずれを示すグラフである。

【図20】図18におけるアレイ光素子を単体の光素子に変えたものに対応する斜視図である。

【図21】図20のA-A面での断面図である。

【図22】図18の側断面図である。

【図23】図18のコプレーナー線路部の位置を下げたものの側断面図である。

【図24】図18のアンダークラッドを厚くし、コプレーナー線路部をアンダークラッド上に形成したものの

側断面図である。

【図25】本発明のハイブリッド光集積回路の第5の実施例の斜視図である。

【図26】図25のD-D面での断面図である。

【図27】本発明のハイブリッド光集積回路の第6の実施例の斜視図である。

【図28】図27のC-C面での断面図である。

【図29】本発明のハイブリッド光集積回路の第7の実施例を示す斜視図である。

【図30】図29のE-E面での断面図である。

【図31】本発明のハイブリッド光集積回路の第8の実施例を示す斜視図である。

【図32】図31のX-X面での断面図である。

【図33】本発明のハイブリッド光集積回路の第9の実施例を示す斜視図である。

【図34】本発明のハイブリッド光集積回路の第11の実施例を示す斜視図である。

【図35】本発明のハイブリッド光集積回路の第12の実施例を示す斜視図である。

【図36】本発明のハイブリッド光集積回路の第13の実施例を示す断面図である。

【図37】本発明のハイブリッド光集積回路の第14の実施例を示す断面図である。

【図38】本発明のハイブリッド光集積回路の第15の実施例における光実装基板を示す斜視図である。

【図39】図38のAA'面での断面図である。

【図40】本発明のハイブリッド光集積回路の第16の実施例における光実装基板を示す斜視図である。

【図41】図40のBB'面での断面図である。

【図42】本発明のハイブリッド光集積回路の第17の実施例における光実装基板を示す斜視図である。

【図43】図42のCC'面での断面図である。

【図44】本発明のハイブリッド集積回路の第18の実施例を示す図であって、(A)は斜視図であり、(B)は(A)におけるBB'線に沿う断面図である。

【図45】本発明のハイブリッド集積回路の第19の実施例を示す図であって、(A)は斜視図であり、(B)は(A)におけるBB'線に沿う断面図である。

【図46】図45のハイブリッド集積回路の光機能素子をサブキャリアに固定する方法を示す斜視図である。

【図47】本発明のハイブリッド光集積回路の第20の実施例における光実装基板を示す斜視図である。

【図48】図47のDD'面での断面図である。

【図49】本発明のハイブリッド光集積回路の第21の実施例における光実装基板を示す斜視図である。

【図50】図49のハイブリッド光集積回路の基板等に反りが入った状態を示す断面図である。

【図51】本発明のハイブリッド光集積回路の第22の実施例における光実装基板の構成を示す斜視図である。

【図52】本発明のハイブリッド光集積回路の第22の

実施例を示す斜視図である。

【図 5 3】図 5 2 における III-III' 線に沿う断面図である。

【図 5 4】図 5 3 のハイブリッド光集積回路における半田バンプのリフロー後の状態を示す断面図である。

【図 5 5】本発明のハイブリッド光集積回路の第 2 3 の実施例における光実装基板の構成を示す概略斜視図である。

【図 5 6】図 5 5 のハイブリッド光集積回路の基板として表面平坦なアルミナ基板を、光導波路として石英系光導波路を用いた場合の基板構造を示す斜視図である。

【図 5 7】本発明のハイブリッド光集積回路の第 2 5 の実施例を示す平面図である。

【図 5 8】図 5 7 に示した要部を拡大した概略斜視図である。

【図 5 9】本発明のハイブリッド光集積回路の第 2 6 の実施例の構成を示す平面図である。

【図 6 0】図 5 9 に示した回路の断面図であって、(A) は LD 搭載形態を示す X a-X a' 線に沿う断面図であり、(B) は、変調アレイ搭載形態を示す X b-X b' 線に沿う断面図である。

【図 6 1】本発明のハイブリッド光集積回路の第 2 7 の実施例の構成を示す平面図である。

【図 6 2】本発明のハイブリッド光集積回路の第 2 8 の実施例の平面図である。

【図 6 3】図 6 2 に示した回路上に固定すべき光機能素子のアライメント方法を説明するための図であって、

(A) は LD アレイの調心固定を示す平面図であり、

(B) は変調器アレイの調心固定を示す平面図である。

【図 6 4】本発明のハイブリッド光集積回路の第 2 9 の実施例を示す平面図である。

【図 6 5】本発明のハイブリッド光集積回路の第 3 0 の実施例を示す平面図である。

【図 6 6】本発明のハイブリッド光集積回路に搭載可能な光サブモジュールの第 1 の実施例の構成のうち光素子およびキャリアの構造を示す斜視図である。

【図 6 7】図 6 6 の A A' 線に沿う断面図である。

【図 6 8】本発明のハイブリッド光集積回路に搭載可能な光サブモジュールの第 2 の実施例を示す断面図である。

【図 6 9】本発明のハイブリッド光集積回路に搭載可能な光サブモジュールの第 3 の実施例を示す断面図である。

【図 7 0】図 6 6 および図 6 7 に示した光サブモジュールを用いた本発明のハイブリッド光集積回路の第 3 4 の実施例の構成を示す分解斜視図である。

【図 7 1】図 7 0 の B B' 線に沿う断面図である。

【図 7 2】図 7 0 の C C' 線に沿う断面図である。

【図 7 3】本発明のハイブリッド光集積回路の第 3 5 の実施例に搭載可能な光サブモジュールの第 4 の実施例の

構成を示す斜視図である。

【図 7 4】本発明のハイブリッド光集積回路の第 3 6 の実施例の構成を示す断面図である。

【図 7 5】本発明のハイブリッド光集積回路の第 3 7 の実施例に搭載可能な光サブモジュールの第 5 の実施例の構成を示す分解斜視図である。

【図 7 6】本発明のハイブリッド光集積回路の第 3 8 の実施例の構成を示す分解斜視図である。

【図 7 7】本発明のハイブリッド光集積回路の第 3 9 の実施例に搭載可能な光サブモジュールの第 6 の実施例の構成を示す斜視図である。

【図 7 8】本発明のハイブリッド光集積回路の第 4 0 の実施例に搭載可能な光サブモジュールの第 7 の実施例の構成を示す斜視図である。

【図 7 9】本発明のハイブリッド光集積回路の第 4 1 の実施例に搭載可能な光サブモジュールの第 8 の実施例の構成を示す分解斜視図である。

【図 8 0】図 7 9 の D D' 線に沿う断面図である。

【図 8 1】本発明のハイブリッド光集積回路の第 4 2 の実施例の構成を示す斜視図である。

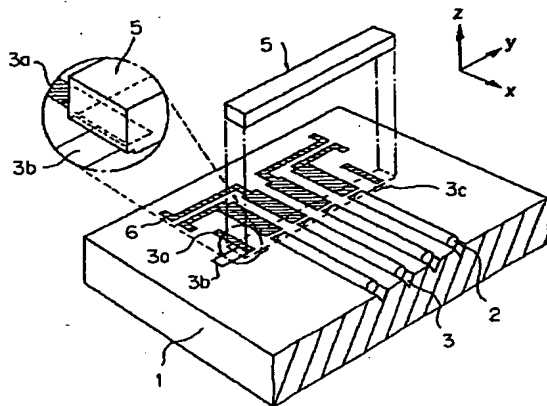
【符号の説明】

- 1 Si 基板
- 2 ガイド溝
- 3 a, 3 b, 3 c 位置決め基準面
- 4 光ファイバ
- 5 半導体レーザ (LD)
- 6 電気配線
- 7 石英系光導波路
- 8 半導体光素子
- 10 石英系光導波路
- 11 素子位置決め基準面
- 12 バッファ層
- 13 石英系光導波路
- 14 素子保持台
- 15 半導体レーザ
- W 金線
- 16 電気配線台
- 17 ヒートシンク
- 18 光導波路
- 19 光ファイバガイド
- 20 光素子ガイド
- 21 電気配線支持台
- 22 第 1 の導電膜 (共通電極)
- 23 第 2 の導電膜
- 24 光ファイバ
- 25 レーザダイオード
- 26 光導波路
- 27 光半導体素子
- 28 電気配線部
- 30 光素子搭載用 Si テラス

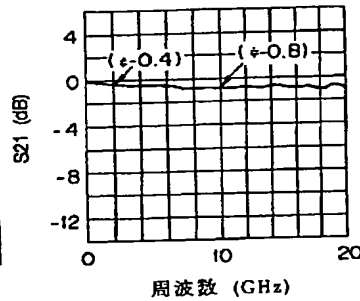
- 31 光ファイバ
- 33 誘電体層
- 35 電子回路用Siテラス
- 37 光機能素子(LD)
- 38 電子回路
- 40 石英系光導波路
- 41 アンダークラッド
- 42 コア
- 43 オーバークラッド
- 44 サブキャリア
- 50 誘電体層
- 51 電子回路用の導体パタン
- 510 導体パタン

- 52 薄膜電極
- 53 半田パンプ
- 60 埋め込み型光導波路
- 61 コープレナー線路
- 62 光素子
- 63 搭載部
- 64 金リボン線
- 65 a, 65 b ガイドポスト
- 66 半田パタン
- 10 67 Siサブキャリア
- 68 光素子搭載部
- 69 導電性接着剤

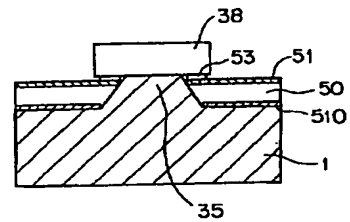
【図1】



【図2】

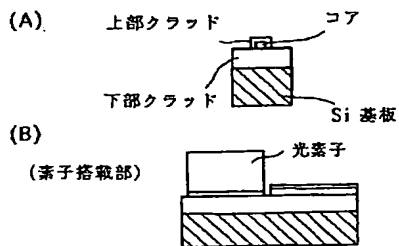


【図12】

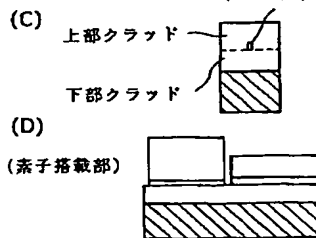


【図3】

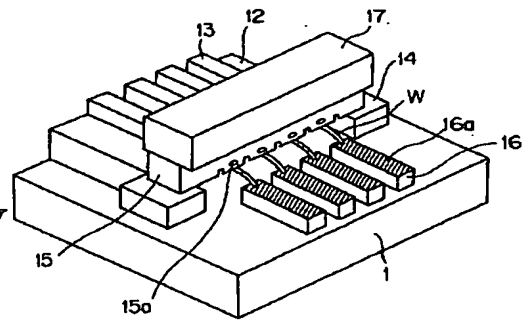
【リッジ型】



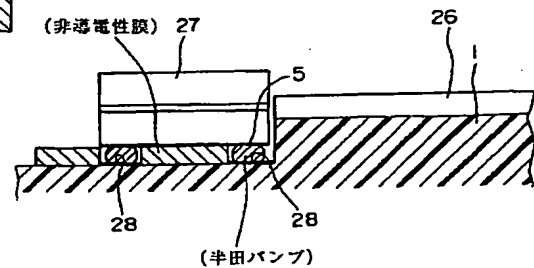
【埋め込み型】



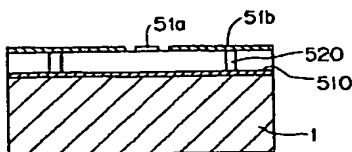
【図6】



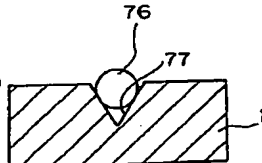
【図8】



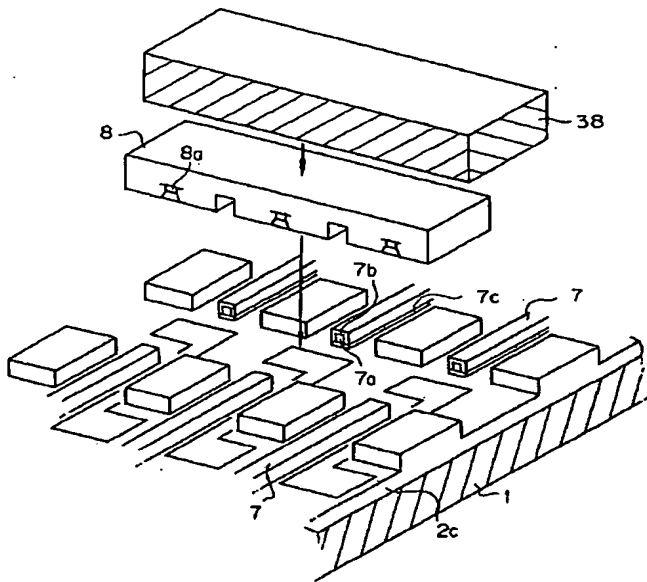
【図13】



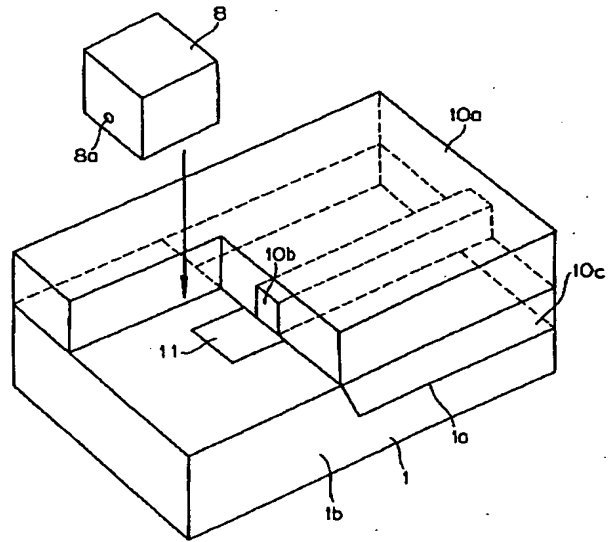
【図32】



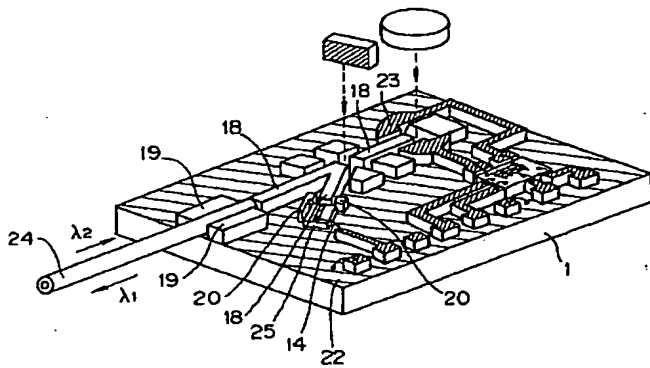
【図 4】



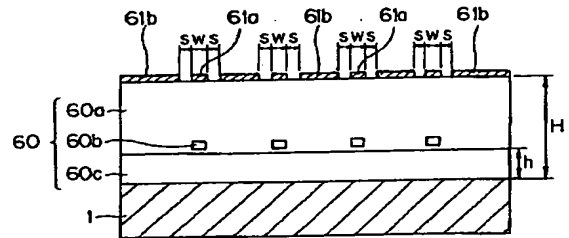
【図 5】



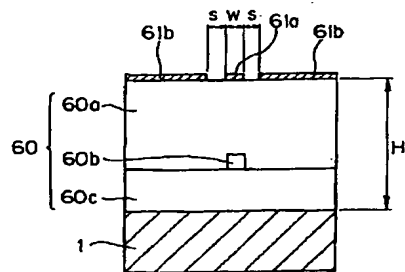
【図 7】



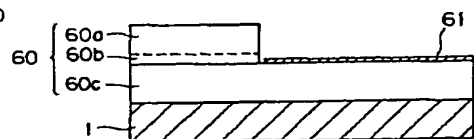
【図 18】



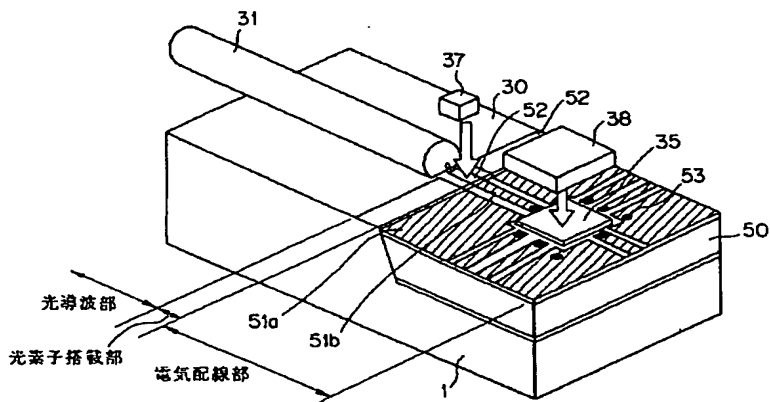
【図 21】



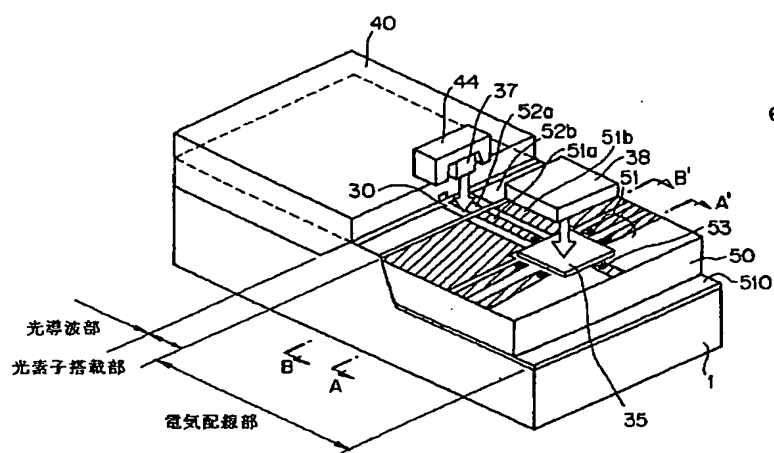
【図 24】



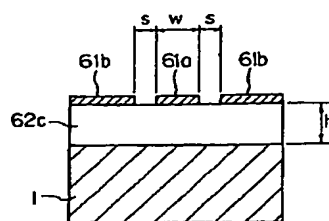
【図 9】



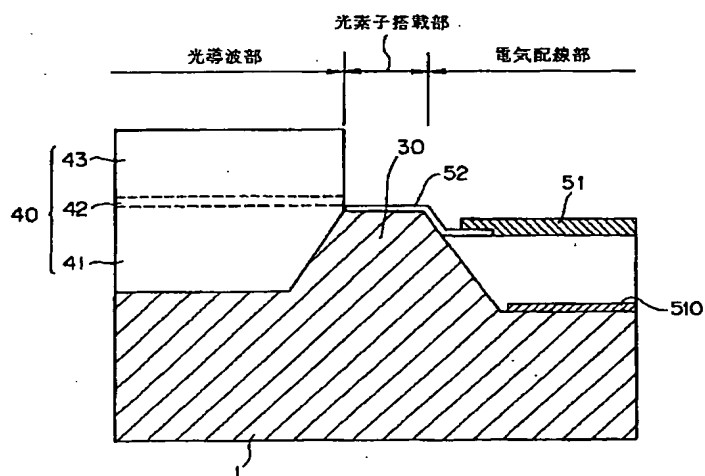
【図10】



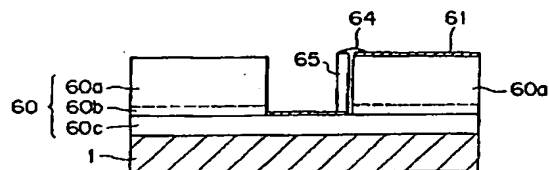
【図26】



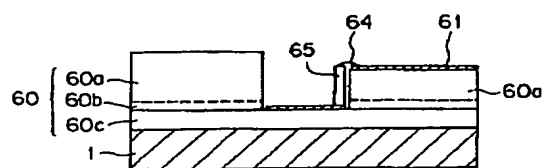
【図11】



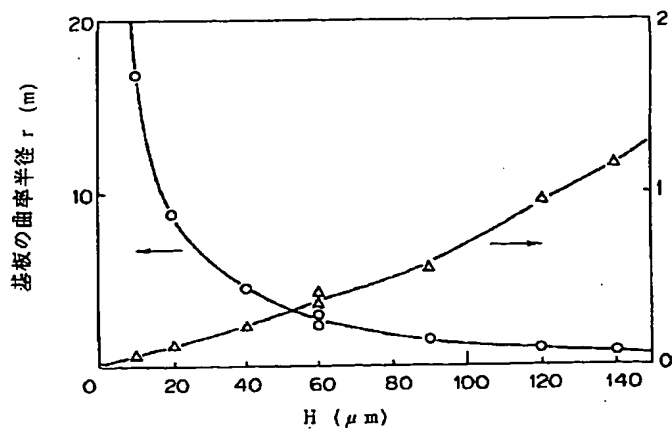
【図22】



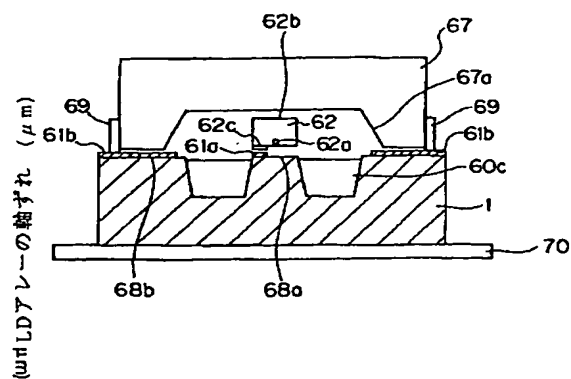
【図23】



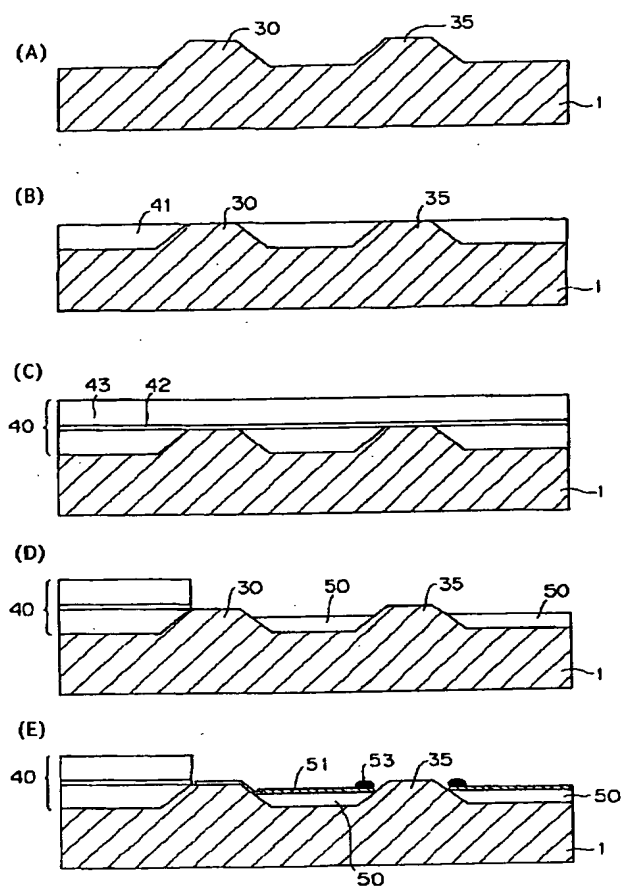
【図19】



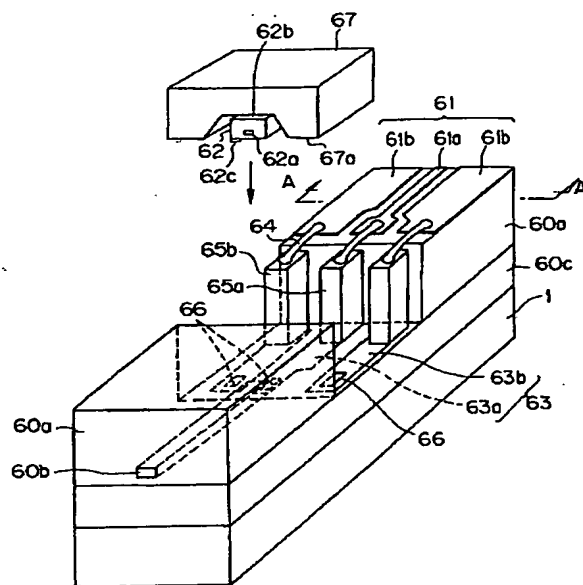
【図28】



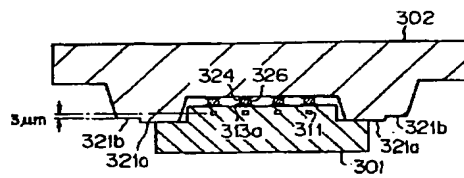
【図 16】



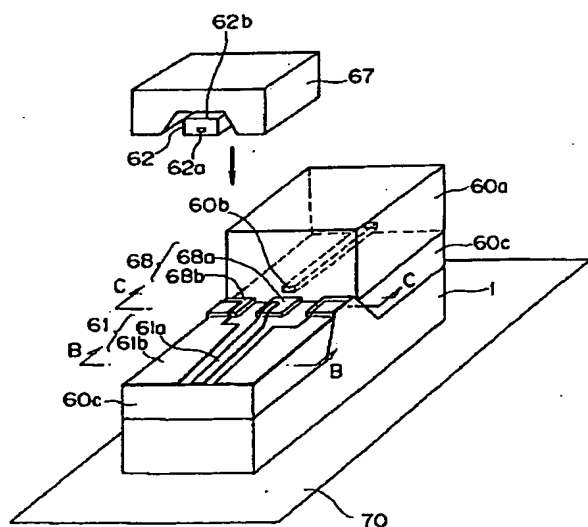
【図20】



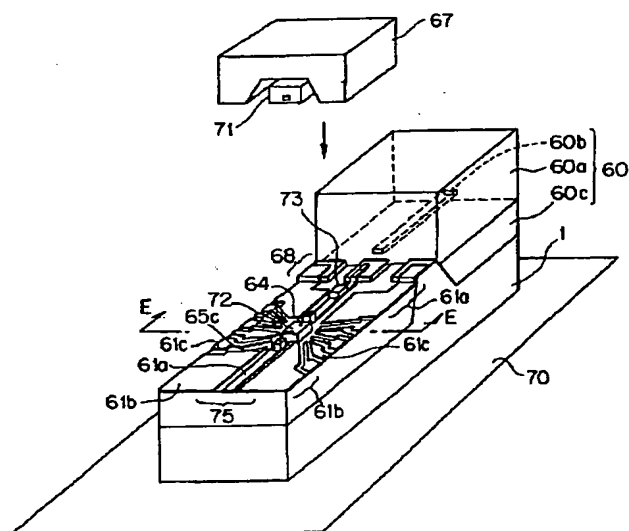
【图 6 8】



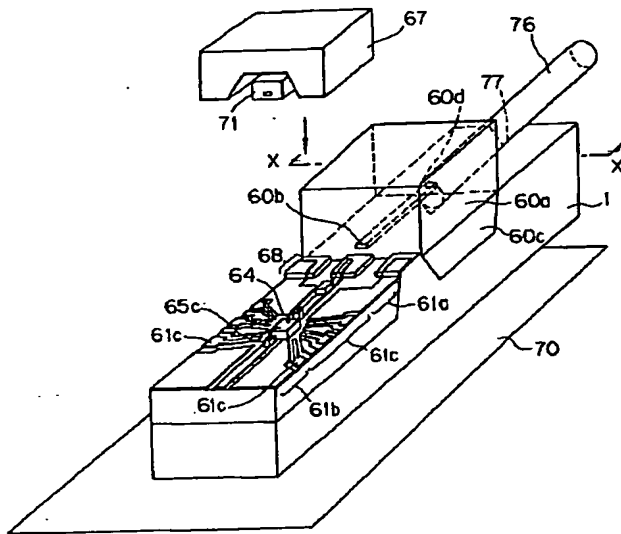
【图 27】



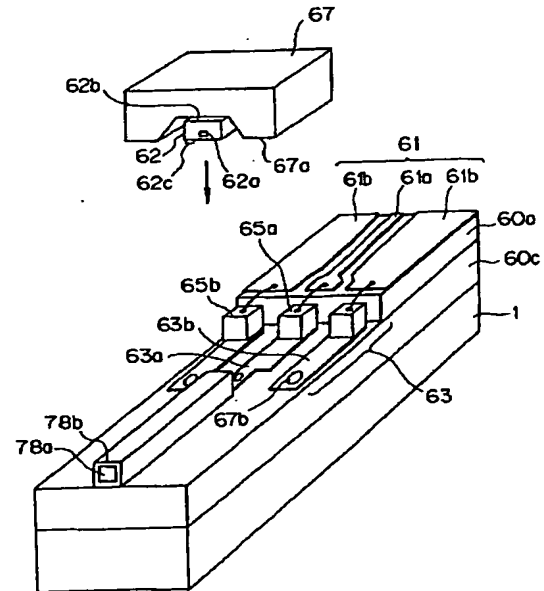
【図29】



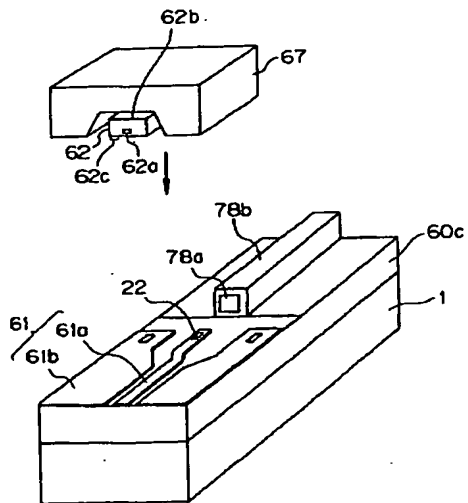
【図31】



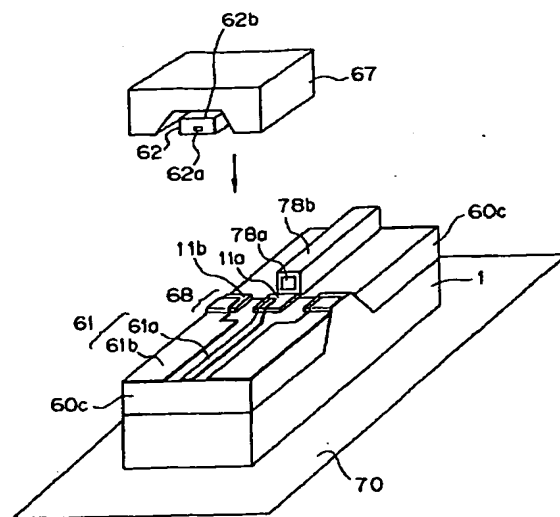
【図33】



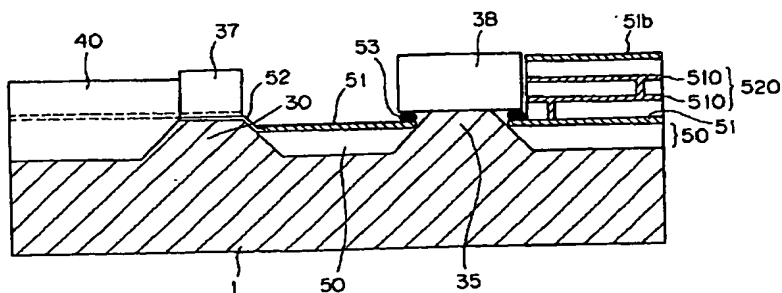
【図34】



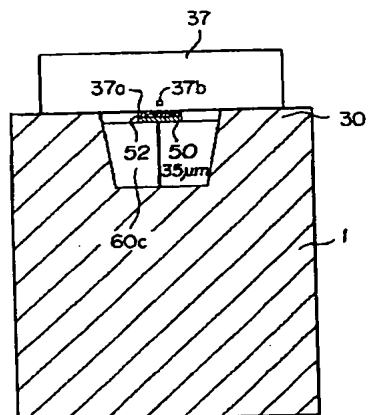
【図35】



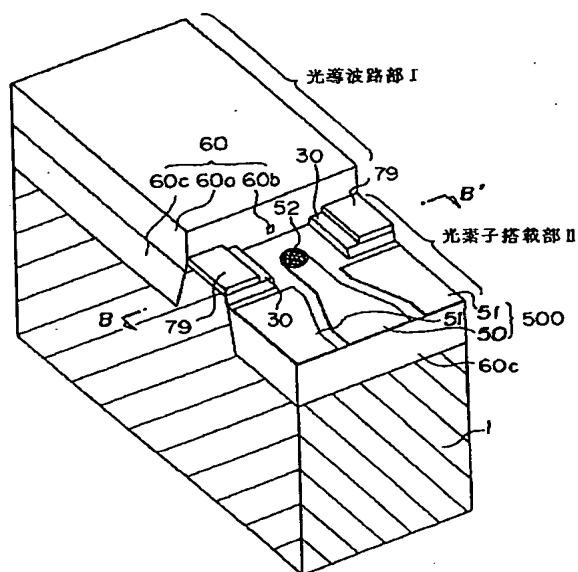
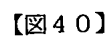
【図36】



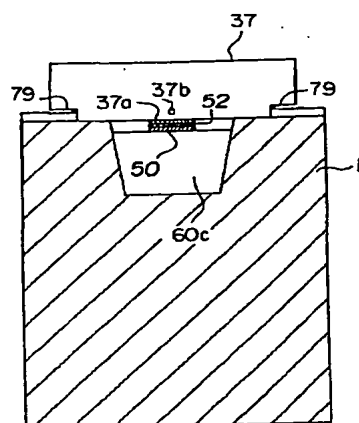
【図39】



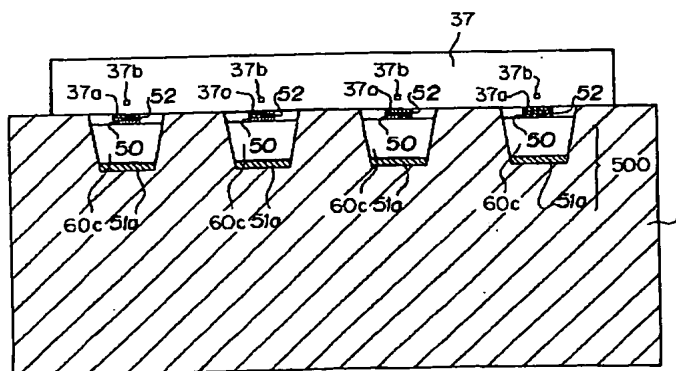
【图 3 8】



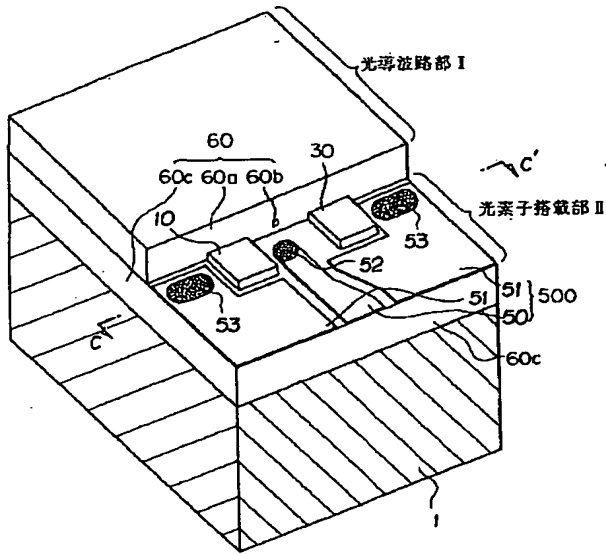
【图 4-1】



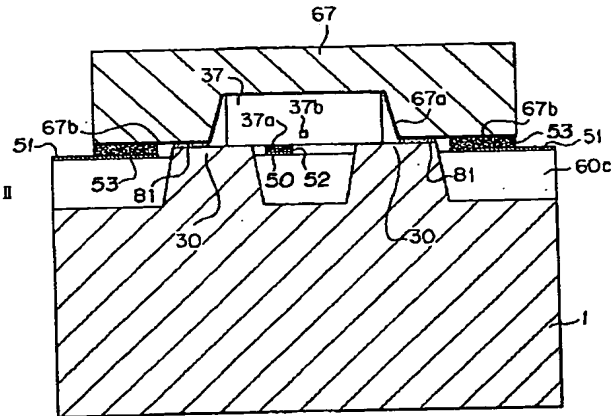
【图 4 8】



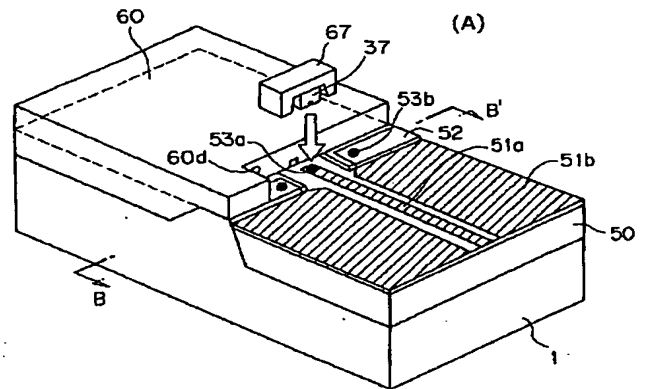
【図 42】



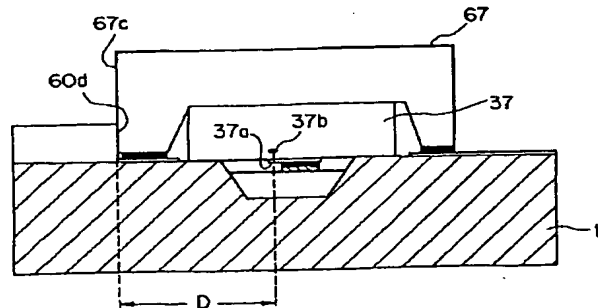
【図 43】



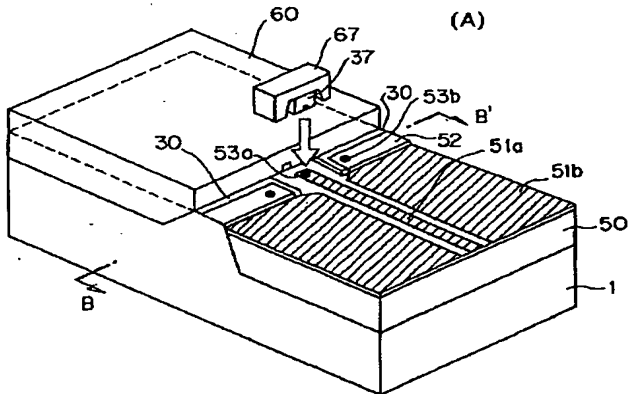
【図 45】



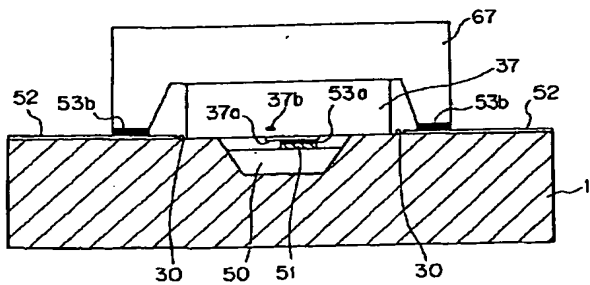
(B)



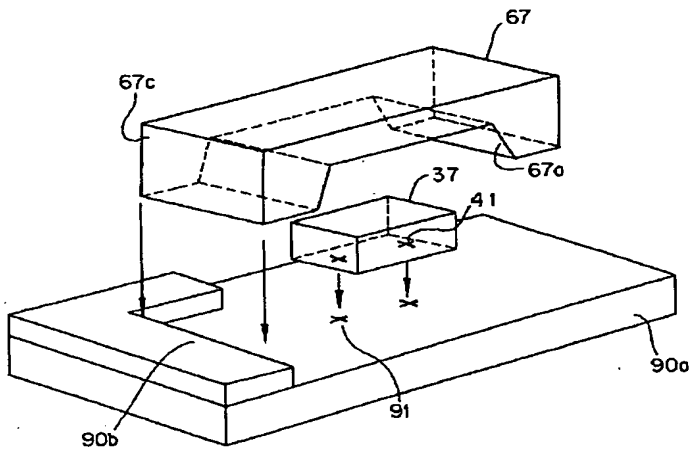
【図 44】



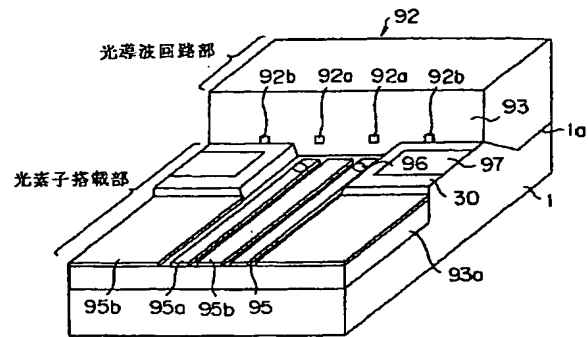
(B)



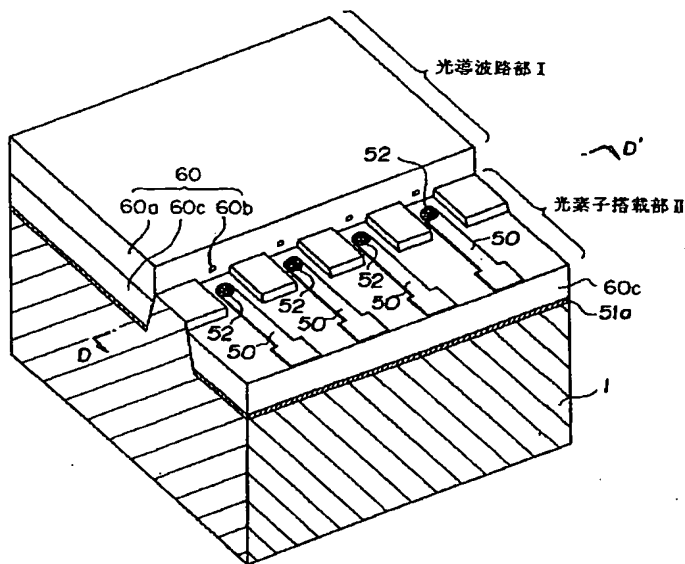
【図 4 6】



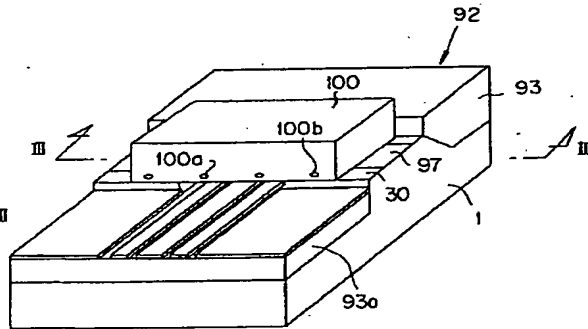
【図 5 1】



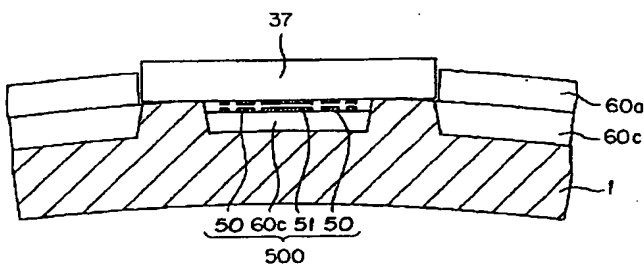
【図 4 7】



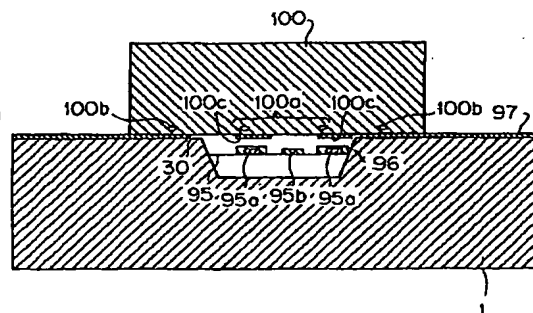
【図 5 2】



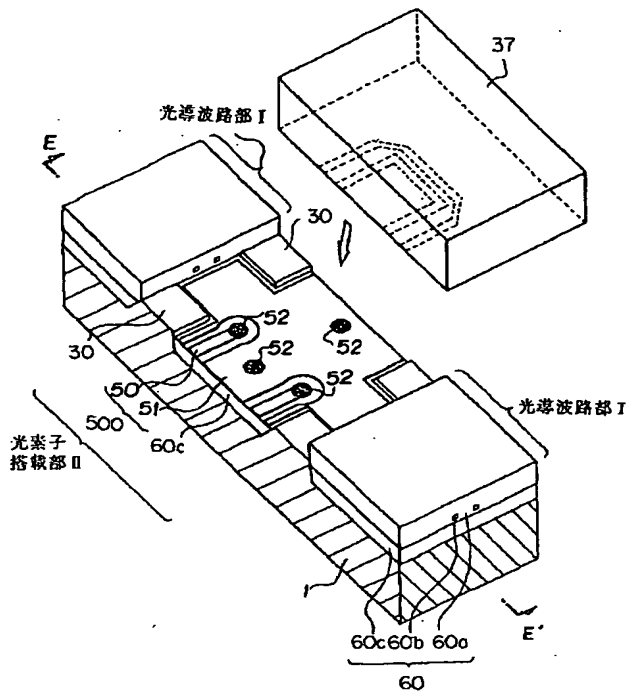
【図 5 0】



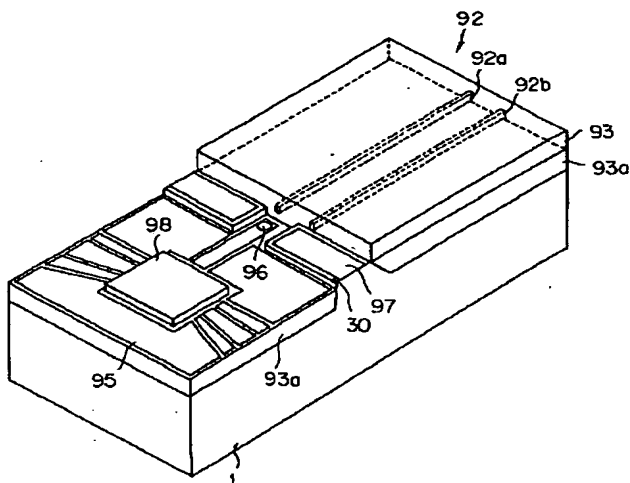
【図 5 3】



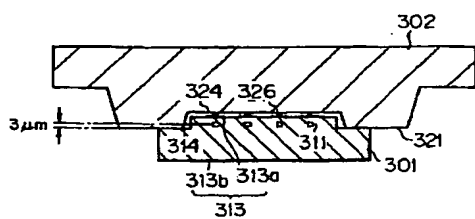
【図49】



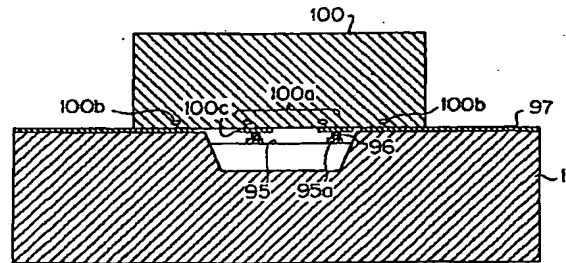
【図55】



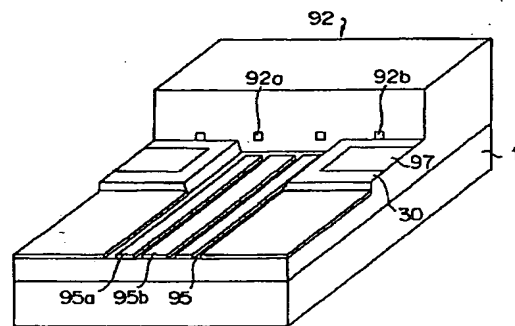
【図67】



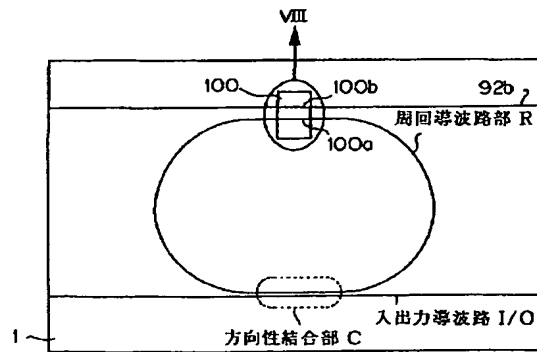
【図54】



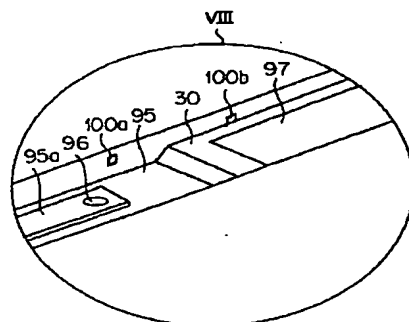
【図56】



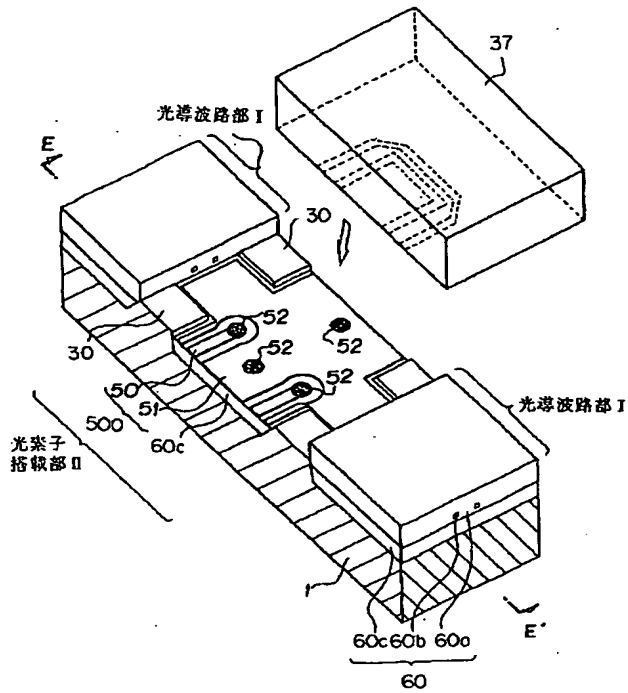
【図57】



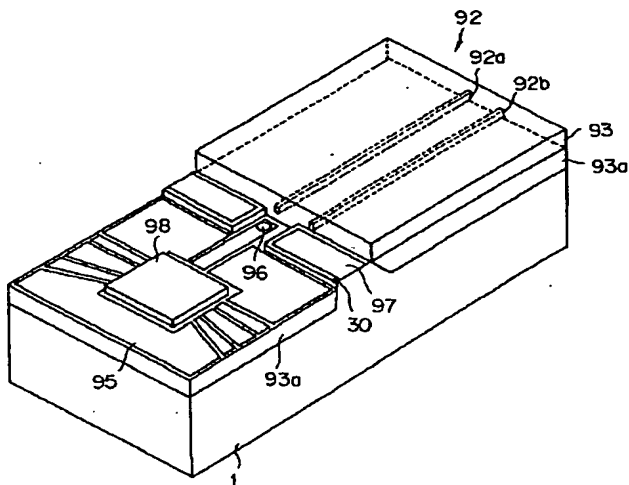
【図58】



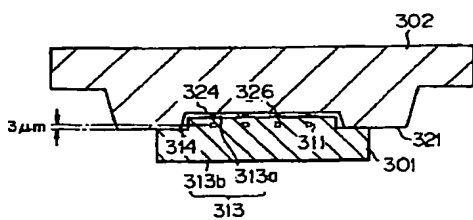
【図 49】



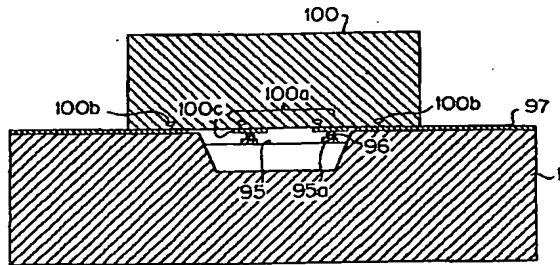
【図 5 5】



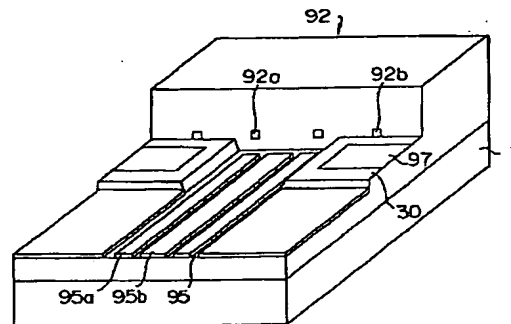
【図 6 7】



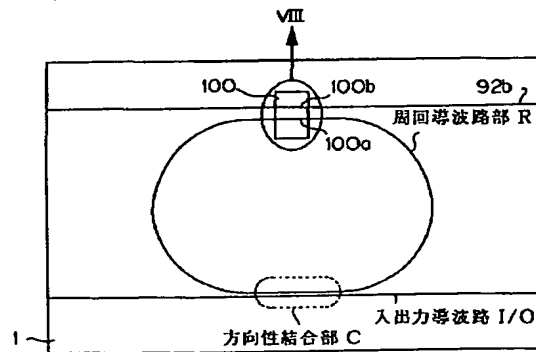
【図 5 4】



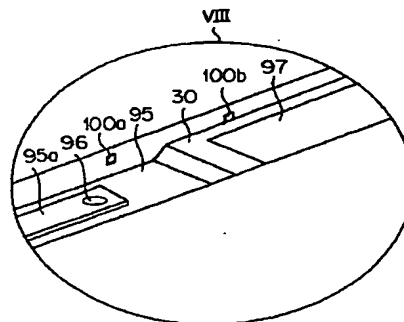
【図 5 6】



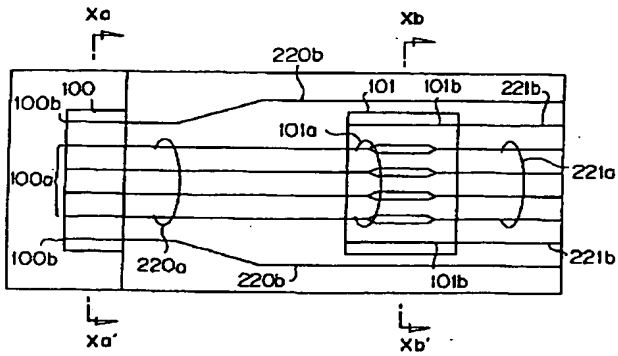
【图 5 7】



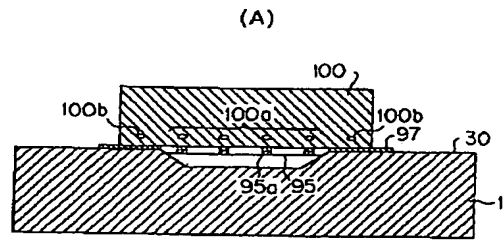
【图 5 8】



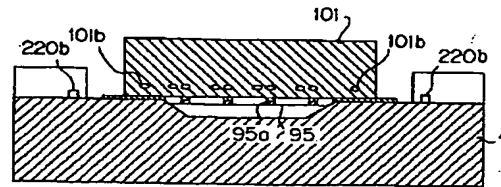
【図 59】



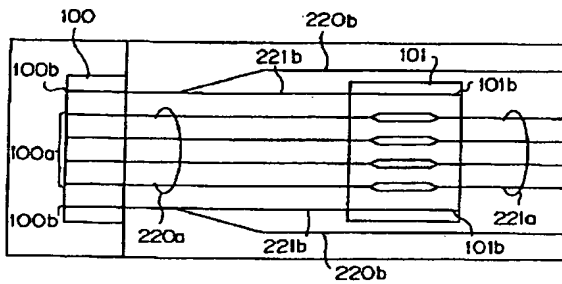
【図 60】



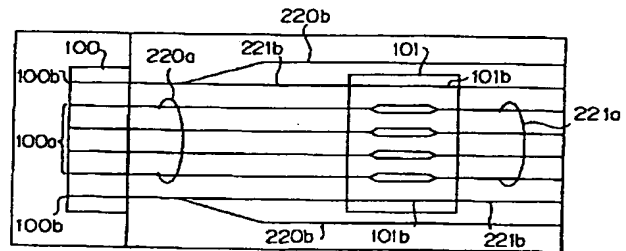
(B)



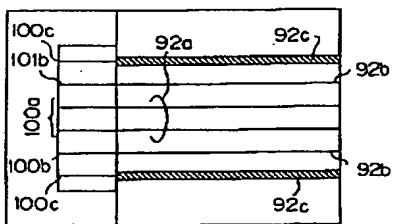
【図 61】



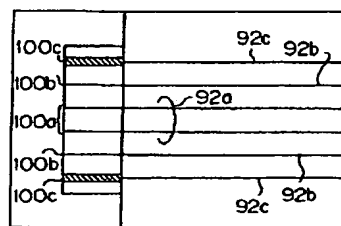
【図 62】



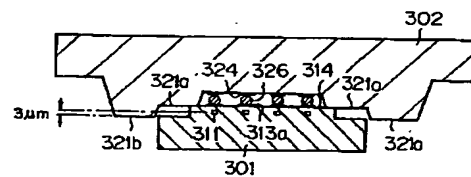
【図 64】



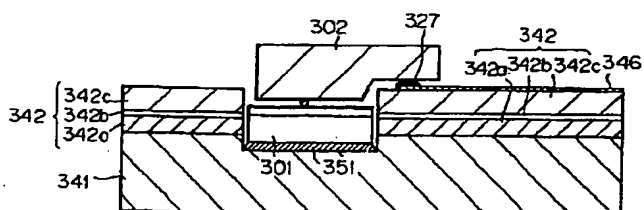
【図 65】



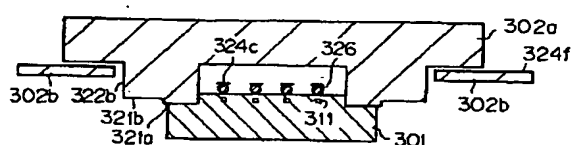
【図 69】



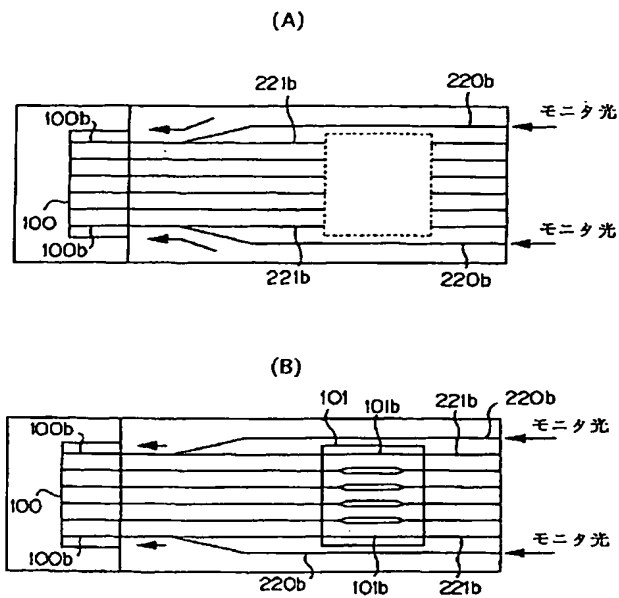
【図 72】



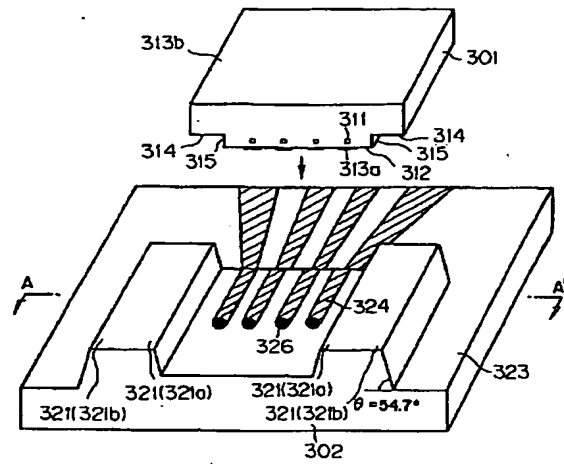
【図 80】



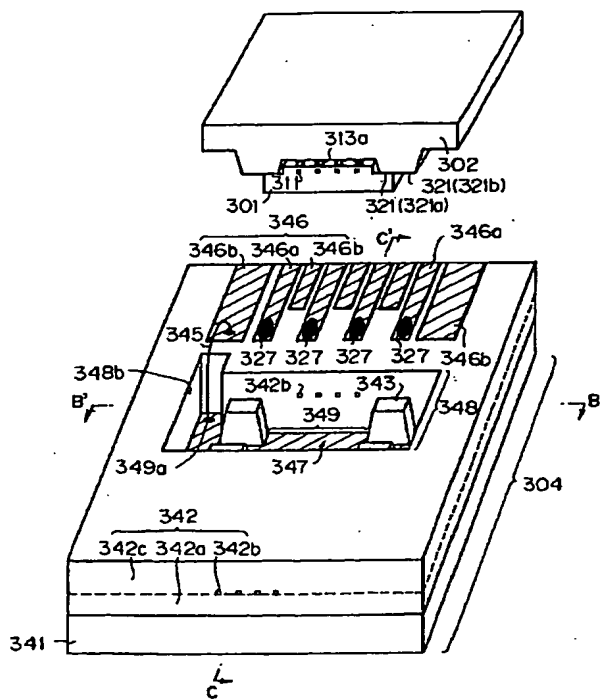
【図 6 3】



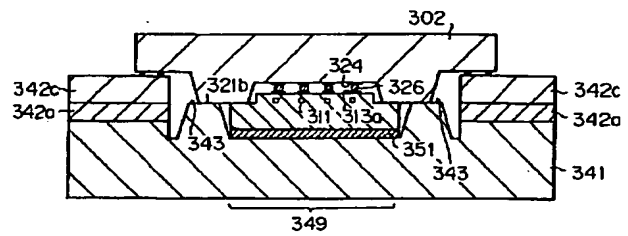
【図 6 6】



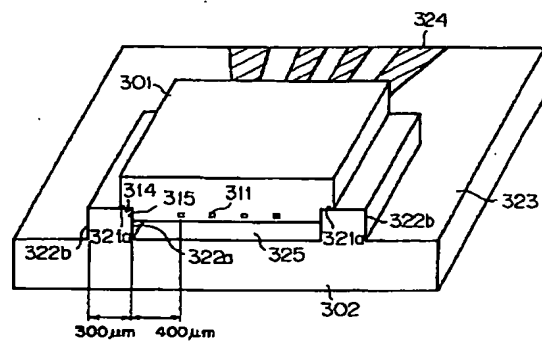
【図 7 0】



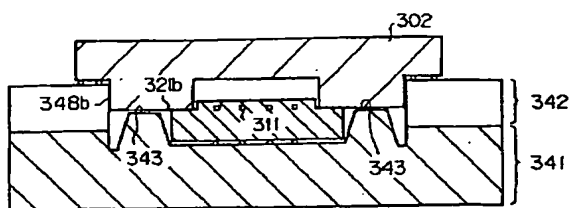
【図 7 1】



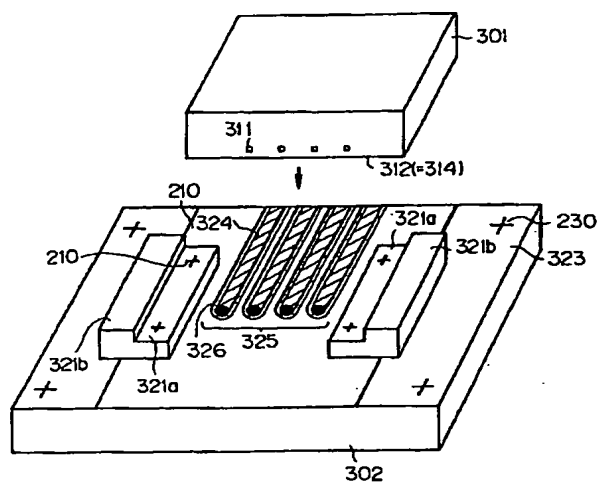
【図 7 3】



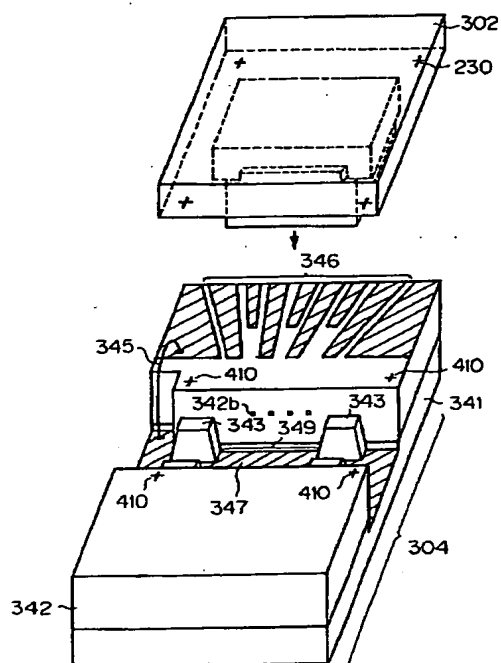
【図 7 4】



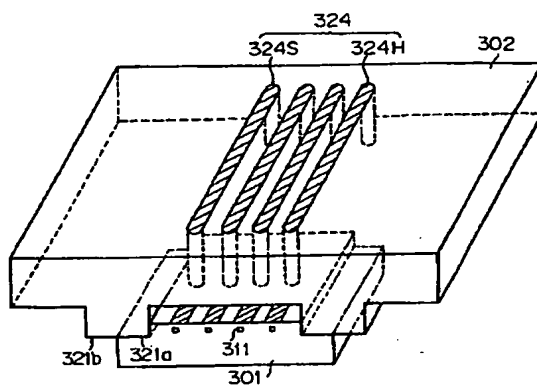
【図 7 5】



【図 7 6】



【図 7 7】



【図 8 1】

